

赛灵思 FPGA 的功耗 优化设计

设计人员可利用多种工具和技术来满足功率预算要求

作者: Matt Klein
技术营销首席工程师
Xilinx, Inc.
matt.klein@xilinx.com

在过去的五六年时间里, IC 工艺从 130nm 快速发展到 90nm 并随后很快进入当前的 65nm 结点, 工艺技术的每一次进步都使得功率管理变得更为重要。在 130nm 节点时, IC 生产商就开始注意到晶体管的电流泄漏问题, 即使在闲置模式下, 晶体管也存在由于电流泄漏而带来的功率消耗。进入 90nm 工艺时代, IC 的工作电压进一步下降, 但电流泄漏问题更加严重, 在器件的总功耗中占有相当大的比重。对于 65nm 工艺, 这些趋势仍在延续。事实上, 对 65nm 工艺来说, 电流泄漏问题如此严重, 以致许多设计师认为功率管理与实现性能指标同样重要。

传统上 FPGA 供应商的产品设计面向范围广泛的应用, 器件包含大量的高速晶体管, 因此 FPGA 器件的功耗不容小视。与其它采用最先进工艺进行设计的 IC 一样, FPGA 也采用了电流泄漏较大的晶体管设计。然而, 对于 FPGA 来说, 设计人员可以充分利用其可编程能力以及相关的工具来准确地估算功耗

然后再通过优化技术来使 FPGA 设计以及相应的 PCB 板在功率方面效率更高。

FPGA 器件的功率消耗主要有两类：静态功耗和动态功耗。静态功耗是由于晶体管的泄漏而引起的，因为即使不工作时晶体管仍然存在电流泄漏。动态功耗则是器件在执行任务时消耗的功率 - 与开关结点数量以及电压、频率和电容等有关。要满足设计功率预算的要求，非常重要的就是要充分了解这两种功率消耗类型以及两种功耗类型在不同工作条件时的变化情况，从而可以更好地对其进行优化。

静态和动态功耗及其变化

在 90nm 工艺时，电流泄漏问题对 AISC 和 FPGA 都变得相当严重。在 65nm 工艺下，这一问题更具挑战性。为获得更高的晶体管性能，必须降低阈值电压，但也同时加大了电流泄漏。赛灵思公司在降低电流泄漏方面做了许多努力。尽管如此，源于泄漏的静态功耗在最坏和典型工艺条件下的变化仍然有 2:1。泄漏功耗受内核电压 (V_{CCINT}) 的影响很大，大约与其立方成比例。哪怕 V_{CCINT} 仅上升 5%，静态功耗就会提高约 15%。最后，泄漏电流还与结(或芯片)温密切相关。

图 1 和图 2 给出了泄漏静态功耗随电压和温度的变化关系图。

FPGA 中静态功耗的其它来源是工作电路的直流电流，但在很大程度上，这部分电流随工艺和温度的变化不大。例如 I/O 电源（如 HSTL、SSTL 和 LVDS 等 I/O 标准的端接电压）以及 LVDS 等电流驱动型 I/O 的直流电流。有些 FPGA 模拟模块也带来静态功耗，但同样与工艺和温度的关系不大。例如，Xilinx FPGA 中用来控制时钟的数字时钟管理器 (DCM)；Xilinx Virtex®-5 FPGA 中的锁相环 (PLL)；以及 Xilinx

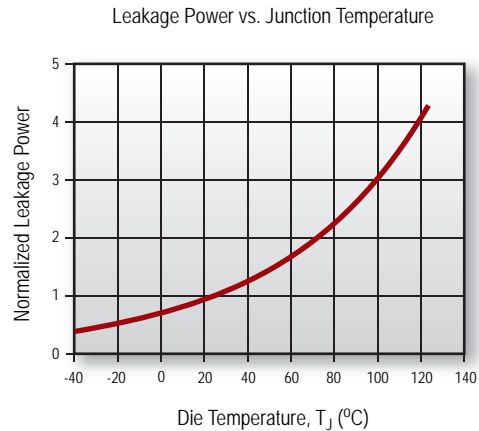


图1 - 泄漏功率随片芯温度的变化

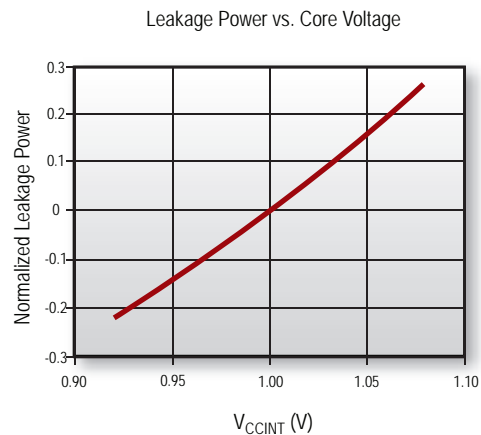


图2 - 泄漏功率随内核电压 (V_{CCINT}) 的变化

PFPGA 中用于输入和输出信息可编程延迟的单元 IODELAY。

动态功耗是指 FPGA 内核或 I/O 的开关活动引起的功耗。为计算动态功耗，我们必须知道开关晶体管和连线的数量、电容和开关频率。FPGA 中，晶体管在金属连线间实现逻辑和可编程互连。电容则包括晶体管寄生电容和金属互连线电容。

动态功率的公式：

$PDYNAMIC = nCV^2f$ ，其中 n = 开关结点的数量， C = 电容， V = 电压摆幅， f = 开关频率。

更紧凑的逻辑封装（通过内部 PFPGA 架构改变）可以减少开关晶体管的数量。采用更小尺寸的晶体管也可以缩短晶体管之间的连线长度，从而降低动态功率。因此 Virtex-5 FPGA 中的 65nm 晶体管栅极电容更小、互连线长度也更短。两者结合起来可将结点的电容减小约 15 至 20%，这可进一步降低动态功率。

电压对于动态功率也有影响。从 90nm 转向 65nm 工艺，仅仅通过将 V_{CCINT} 从 1.2 伏降至 1 伏，Virtex-5 FPGA 设计的动态功率就降低了约 30%。再加上结构增强带来的功率降低，总的动态功耗比 90nm 技术时降

低达 40% 至 50%。(注: 动态功率与 VCCINT 的平方成正比, 但对于 PPGA 内核来说基本上与温度和工艺无关。

FPGA 功率分析工具

赛灵思公司提供了两款功率分析工具。我们设计的第一个 XPower Estimator (XPE) 电子数据表工具可在设计人员使用物理实施工具前使用。在设计物理实施完成后, 则可以采用第二款工具 XPower Analyzer 来检查所做的改变对功耗的影响。

XPower Estimator 可根据用户对 FPGA 资源使用、开关速率以及负载等方面的描述快速进行功率估算。这款工具主要用于初始功率估算、选择电源和稳压器以及系统冷却解决方案(如散热器、风扇等)。

采用这一基于 Microsoft Excel 的工具, 系统设计师可进行面向器件、设计和系统的功率决策。只需要简单的输入估计的设计参数, 如资源利用、工作环境以及时钟和开关速率就可以了。然而, XPE 会计算给定设计的估算功率并给出总功率和最大结温, 以及基于电源轨和设计模块的功率。

在设置工具运行时, 其 Process 功能是非常有用的功能。该功能允许察看不同模块的典型或最坏情况下的功耗。基本上, VCCINT 电源泄漏带来的静态功耗对工艺的依赖性很大。此外, 电源摘要 (Voltage Source Summary) 则可快速显示出电压变化时的功耗变化。由于 VCCINT 是所有内核逻辑电源电压之一, 因此理解相对于 VCCINT 的变化非常重要。XPE 工具的工艺变化和电压变化选项保证了能够确定最坏情况下的电源容量是足够的。

XPE 的另一项非常有价值的功能是热量信息 / 摘要 (Thermal Information/ Summary), 利用此信息可以确定散热、

PCB 属性以及温度信息。这样就可以保证设计能够满足商用和工业级设计的热量管理要求。同时, 模块摘要 (Block Summary) 给出每个模块的功率信息, 功率摘要 (Power Summary) 则显示出静态和动态功率的总和。

XPE 工具的每个标签都可以输入特定类型资源的利用率和开关速率, 如时钟、逻辑\块 RAM (BRAM)、PLL、

place-and-route) 信息。还可以接受业界标准的信号跳变存储 (VCD) 和开关行为互换格式 (SAIF) 文件。如果使用 VCD 或 SAIF 格式, 则需要创建表示仿真向量, 这样工具就可以记录系统中结点的跳变速率, 这些数据可以在此后访问。在缺少仿真文件时, 用户可以使用 XPower Analyzer 工具完成无向量仿真。此类仿真使用数学和统计建模技术将初

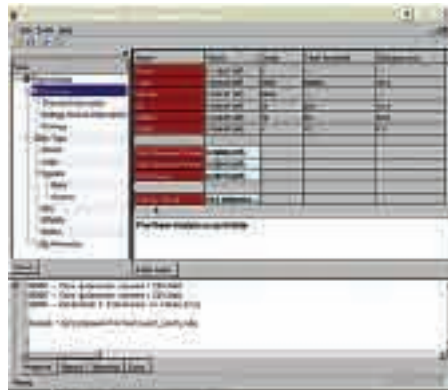


图3 - Xilinx XPower Analyzer 汇总页

DSP 等等。最后, XPE 的图形表页则给出功能、工艺、电压以及温度变化时的图形显示。特别是按功能显示的功率视图 (Power by Function graphic) 列出了每一项功能并给出其功耗, 从而让设计人员可以更好地定位哪些功能从优化中受益最多。

Xilinx 公司的第二款分析工具 XPower Analyzer 根据物理实现过程中获得的准确资源信息, 提供了更为准确的功率分配视图。您可以为该工具提供测试和仿真向量, 或者进行无向量功率估算。这一工具采用 FPGA 设计中物理资源的特性化容抗数据进行估算。

XPower Analyzer 集成在 Xilinx Integrated Software Environment (ISE[®]) 中, 能够接受以几种内部 Xilinx 文件格式形式提供的布局布线后 (post-

始跳变速率传输到实际设计逻辑。然后再生成包含设计中每一结点跳变速率的结果。

对于基于向量 (来自 VCD 和 SAIF) 文件的仿真还是无向量形式的仿真, XPower 都会考虑布局布线设计的物理连接以及准确的资源使用情况。该工具会交叉参考每一结点的活动或跳变速率和物理资源的特征容抗数据, 以及给定跳变速率下每一模块的动态功耗。如图 3 所示, 其结果包括了总功率和最大结温, 以及基于电源轨、模块以及层次结构的功率报告。

XPower 使您可详细地了解设计中功率的消耗情况, 并且在“what if”假设分析的基础上进行信息更充分的选择, 了解哪些模块可以从简单的优化甚至重新架构设计中获得最大的好处。此

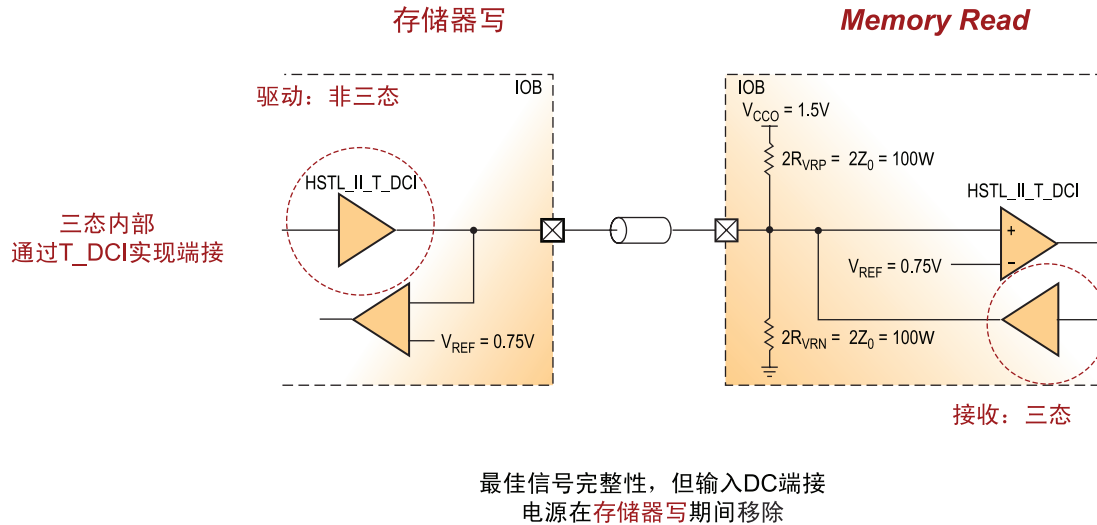


图4 - FPGA 引脚 (在存储器读和写周期, 采用 T_DCI)

外，还可以利用 XPower 记录特定设计的实际功率参数并将这一信息传递到电路板一级。

利用 FPGA 设计技术降低功耗

尽管工艺尺寸缩小到 65 nm 使得 Virtex-5 的动态功耗大大降低，采用新工具和设计技术仍可以进一步降低其动态功耗。

降低功耗的一种方法就是为设计选择最适用的 FPGA，然后利用其可编程能力进一步优化设计的功耗。正确的设计选择会同时影响到静态和动态功耗。

源于泄漏电流的静态功率正比于逻辑资源的数量，也就是说正比于构造特定 FPGA 所使用的晶体管数量。因此，如果减少所使用的 FPGA 资源，采用更小的器件实现设计，那么就可以降低静态功耗。图 5 所示就是选择最接近的较小器件带来的效果。

可以采用多种方法来降低设计的规模，最基本的一种技巧就是逻辑功能分时。也就是说，如果两组电路完成一组


	Static Power Reduction Going to Smaller Device
330k → 220k	-33%
220k → 110k	-51%
110k → 85k	-24%
85k → 50k	-46%
50k → 30k	-33%

图5 - 通过规模减小来降低静态功率

线性功能，并且彼此完全相同，那么就可以只用一组电路但将速率提高一倍来完成同样的功能。这样需要的逻辑资源就减少了一半。

另一种缩小逻辑规模的方法是利用 Xilinx FPGA 的部分重配置功能，当两部分电路不同时工作时，可以在某个时间段将某部分电路重新配置实现另一种电路功能。

同时，还可以将功能移动到不太受限制的资源，例如，将状态机转移到 BRAM、或者将计数器转移到 DSP48 模块、寄存器转移到移位寄存器逻辑

辑，以及将 BRAM 转移到查找表 RAM (LUTRAM)。同时还可以保证不要让设计的时序太紧张，因为那样会需要更多的逻辑和寄存器。

此外，还应当充分发挥 FPGA 架构中集成的硬 IP 块 (BRAM、DSP、FIFO、Ethernet MAC、PCI Express) 的优点。

降低静态功率的另一个方法是仔细审查设计，避免冗余的直流消耗源。设计中经常会使用到具有多余或隐藏 DCM 或 PLL 的模块。这种情况可能发现在模块设计后忘记将多余的资源去除，或者在构建下一代产品时使用了一点遗留代码。将 DCM 或 PLL 抽象到设计的顶层，这样模块之间就可以共享资源，从而可进一步减小设计的规模并降低直流功率。

更好地使用存储器模块也可帮助降低 FPGA 设计的动态功耗，从而进一步降低总体功耗。由于动态功耗是容抗(面积或长度)和频率的函数，因此应当检查设计中访问块存储器的方式并确定能

赛灵思 FPGA 的时钟门控功能提供了一些非常有意思的用途。例如，可以利用 BUFGMUX 时钟缓冲器将 FPGA 内的某个全局时钟关闭，或者动态选择较慢的时钟。

够对容抗和频率进行优化的区域。

Xilinx FPGA 提供两种类型的存储器阵列。18kbit 或 36kbit 的 BRAM 是针对大存储器模块而优化的。LUTRAM 基于 FPGA 中的查找表，是针对细粒度存储而优化的。Xilinx Virtex-5 FPGA 中，LUTRAM 的单位是 64bit。

在这两种类型中，BRAM 通常功耗要大一些。启用后的 BRAM 静态功率是其功耗的最大部分，跳变带来的功耗居于第二位。设计人员可以采取一些步骤来优化 BRAM 的功耗。例如，可以仅在读或写周期才启用 BRAM。对于较小的存储器模块可以使用 LUTRAM 来代替 BRAM，将 BRAM 留给较大的存储器模块使用。此外，还可以尝试将 BRAM 用于多个大型模块。另一种技术是合理安排存储器阵列来减少其占用的

延迟面积、使性能最大化并尽量降低其功耗。图 6 给出了一个针对速度和面积而优化的 2k x 36-bit 存储阵列。

我们利用四个 2k x 9-bit 模块并行构成这一存储阵列，并在需要新值时启用 (Enable) 所有四个模块。另一方法是采用四个 512 x 36-bit 模块来安排 2k x 36 bit，但利用低两位地址解码来选择访问哪个 512 x 36-bit 模块。在后一种情况下，某个时间仅访问一个存储器块，可以将功耗比第一种方法降低 75%。

图 6 的另一半显示的是赛灵思公司的块存储器生成器 (Block Memory Generator)，利用它可以生成任意大小的存储器阵列并可以针对速度或功率对其进行优化。图 7 则给出了具体例子下的 Xilinx Power Estimator，比较了在给定的使能速率下 N 个模块同时启动与

N/4 模块启动时的功耗情况。结果显示出动态功率降低了 75%。

赛灵思工具可帮助您为您的设计选择最适合的存储器阵列。考虑某个设计中需要两组存储器区域。一种情况下我们需要运行在 300 MHz 的 16 组 64 x 32-bit 存储器结构 (总位数为 32k)。另一种情况下我们需要 16 组 512 x 36-bit 存储器架构 (总位数为 294k)。

看一下 16 组 64 x 32-bit 存储器结构的功率比较，XPE 工具显示出小存储器阵列最好用 LUTRAM 来实现。这样做可以比用 BRAM 实现节约 85% 的功耗。这是因为如果采用 BRAM 的话，只能用 16 个 18K 位的模块来实现 16 个极小 (64 x 32-bit) 的存储器，有很多空间被浪费了。看一下第二种情况 16 组 18k 位阵列的功率比较，XPE 显

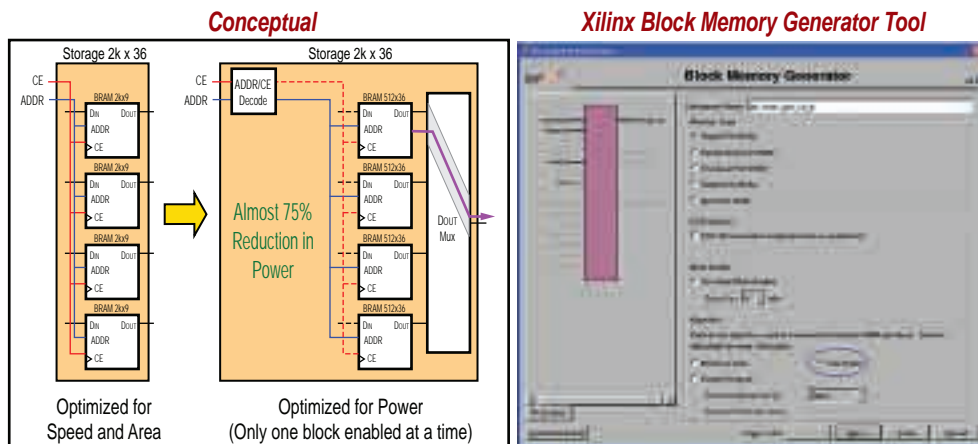


图6 - 速度和面积与功率优化存储器阵列 (左) 以及 Xilinx Block Memory Generator 与功率面积选择

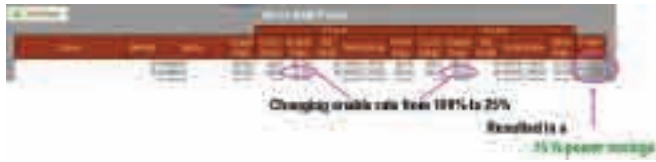


图7- XPE 功率优化阵列结果



图8- 利用块 RAM 或 LUTRAM 实现小存储器阵列的功率估算



图9- 利用 LUTRAM 和块 RAM 实现大存储器阵列的功率估算

示出情况正好相反，应当采用大一些的存储器阵列来实现（图 9）。这种情况下，采用 BRAM 比采用 LUTRAM 可以节约 28% 的功耗，这是因为如果采用 LUTRAM 就需要启用更多的小粒度对象并增加更多的互连。

赛灵思 FPGA 的时钟门控功能提供了一些非常有趣的用途。例如，可以利用 BUFGMUX 时钟缓冲器将 FPGA 内的某个全局时钟关闭，或者动态选择较慢的时钟。您还可以使用 BUFGCE 时钟缓冲器进行按时钟周期（cycle-by-cycle）的门控，与 ASIC 设计中使用的时钟门控技术类似。设计中可以同时使用这两种功能。

在某些设计中，有些模块并非始终使用，但对于功耗影响却很大，此时这些方法非常有用。这些情况下，可以按时钟周期为基础或者按多个时钟周期的组合开启或关闭可能有成千上万个负载的大型时钟域。

通过降低毛刺能量还可以控制动态功耗。在包含组合逻辑和寄存器的设计中，有时组合逻辑模块的不同输入会在稍有不同的时间到达，生成能够传播到其它结构的短时间毛刺并浪费功率（参考图 10）。通过在逻辑层之间采用更多流水线，可以阻止毛刺传播到其它结构，从而降低动态功率。

在电路板一级降低功耗

PCB 设计师、机械工程师和系统架构师在电路板一级可以考虑通过几个方面来降低 FPGA 的功耗。FPGA 的内核电压和结温对于功耗的不同方面都有很强的影响。

控制 VCCINT 内核电压也是在板级降低功耗的一种方法。源于泄漏的静态功耗以及动态功耗都高度依赖于 FPGA 的内核电压。因此，减少泄漏的一种方法就是将内核电压设置在接近额定值（1V）的地方，而不是工作在 Virtex-5

电压范围的高端（1.05 V = +5%）。

采用现代开关稳压器，可以获得 $\pm 1.5\%$ 的电压稳定度，而不是标准的 $\pm 5\%$ 规格。保持内核电压在 1V 而不是 1.05-V 最大值可将泄漏导致的静态功耗降低 15%，同时动态功耗降低 10%。通过控制结温也可以降低功耗。FPGA、PCB、散热器、环境温度、气流的热特性以及特定设计的 FPGA 功率都会影响到 FPGA 结温。

降低 PFPGA 结温的一种简单明显的方法是利用散热更好的 PCB 或散热器。然后，FPGA 设计人员只要能够降低功耗的改变都是值得鼓励的。在结温 100°C 左右时， 15°C 的温度降低可以将源于泄漏导致的静态功耗降低 20%。

通过监控 FPGA 中的温度和电压也可以降低功耗。Virtex-5 FPGA 中包含了一个称为 System Monitor 的模拟模块，可以监控外部和内部模拟电压以及芯片内部温度。System Monitor 基于一个 10 位的 A/D 变换器，能够在 -40°C 至 $+125^{\circ}\text{C}$ 范围内提供准确可靠的测量结果。A/D 变换器将片上传感器的输出数字化，可以利用它来监控多达 17 路外部模拟输入，从而监控系统性能与外部环境。模块内包括了可配置的阈值和告警电平，并且可以在可配置的寄存器内存储测量结果，因此可方便地接口到用户逻辑或微处理器。

此外，还可以通过 JTAG 端口读取测量数值，甚至可以在 FPGA 被配置前的上电过程中读取相关数值。晶体管的改进、更小的容抗和更低的电压都使得内核电压相关的功耗不断下降，因此 I/O 功率成为在功耗和性能平衡过程中需要考虑的另一重要因素。通过更为优化的 I/O 选择可以进一步降低总体功耗。为进行信息更为充分的选择，需要考虑每一 FPGA 设计的 I/O 接口要求。例如，接口到存储器（DDR2、QDR、

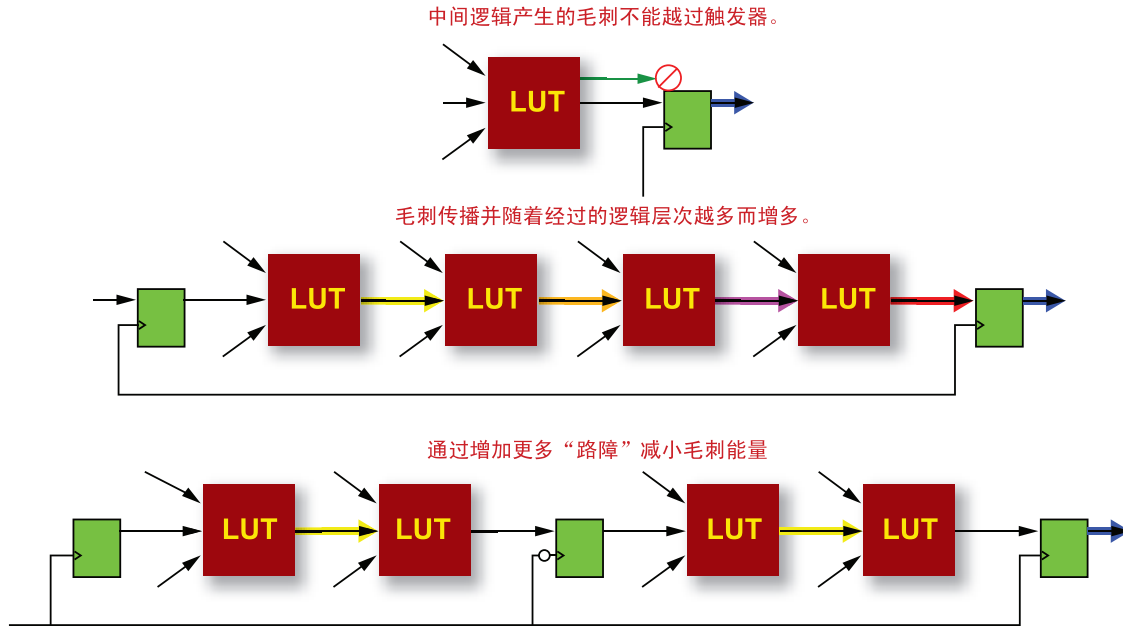


图10 - 毛刺传播和阻止 (利用插入触发器)

RLDRAM 等) 可能需要 FPGA 内的端接来保证信号完整性, 但这样通常会增大功耗并提高结温。同时, 如果连接 FPGA 到 ASSP/ASIC, 则必须选择基于 ASIC/ASSP 所规定的接口 (LVDS, HSTL 等)。如果连接 FPGA 到另一片 FPGA, 则可以根据设计的性能需要来选择接口类型, 从而更好地实现功率优化。

尽管输入和输出都消耗功率, 但 LVDS、HSTL 和 SSTL 等参考标准消耗的功率最多。对于输出来说, 驱动力量最大的标准所消耗的功率也最大, 因此功率随输出使能速率和跳变速率线性变化。然而, LVDS 是个例外, 因为它采用了独立于跳变速率的基于固定电流源。对于输入来说, 参考标准消费功率也较大, 因为他们需要实现差分接收器并且需要可选择的内部端接。两者都需要消费直流功率。

Virtex-5 器件中称为 T_DCI (动态三态数字阻抗控制) 的一项功能允许用户在特定 I/O 脚被用作输出时移除端接。

对于数据总线或存储器接口来说, 这非常有用。根据读取或写入比率, 可以将降低相当可观的功率 (参看图 4)。

当选择 I/O 接口时, 在性能和功耗之间的明智选择非常重要。当需要绝对最大性能时和最小噪声, 或目标连接器件需要这一 I/O 标准时, 可以选择 LVDS 等接口。

由于端接通常需要消费大量功率, 因此使用时需谨慎考虑并考虑功率和性能的平衡。采用外部接口或不需要端接的方案会大大降低功耗。

过去、现在和未来

自从功率管理变得越来越重要, 赛灵思公司一直致力于在 ISE 套件工具中集成功率优化技术。例如, 为了研发 XPE 和 XPower Analyzer, 几年前赛灵思就在 ISE 中提供了功率优化的布线器, 能够利用 FPGA 内已知的布线资源容抗信息。

同时, 还可以将 ISE 配置为功率优化综合引擎来自动定位源代码中的小阵

列并将其综合进 LUTRAM 中。根据指令, 引擎会定位大阵列 (根据指定的阵列大小) 并将其综合到块 RAM 中。如果发现大型计数器, 则可以在 DSP48 模块中实现。当复制逻辑时还可以进行智能选择, 以保证所用的数量是最优的。

最近, 赛灵思公司还推出了一个优化布局器, 能够将功能进行分组, 从而最小化布线距离和容抗。称为 PlanAhead™ 的一组相关工具能够将逻辑资源分组并从物理上在 PFPGA 内进行粗略的面积估算和位置定位。这样就可以减少电容并加快布线速度。

随着赛灵思公司在最新工艺技术方面继续保持行业领导地位, 我们预期 FPGA 的动态和静态功率将会继续面临挑战。我们不仅致力于优化 FPGA 的功率管理工具和设计方法, 同时还不断努力在芯片层面上解决功耗问题。

有关赛灵思公司功率管理方面的更多信息, 请访问 www.xilinx.com/power