

XLNX 的 FPGA 芯片架构剖析

邹德财^{1,2}, 吴海涛¹, 李 云^{1,2}

(1. 中国科学院 国家授时中心, 陕西 临潼 710600; 2. 中国科学院 研究生院, 北京 100039)



摘要:从芯片结构原理上分析了 XLNX 的 Virtex 系列芯片。结合微电子学相关知识,详细分析了芯片的基本结构、可配置功能逻辑、输入输出模块、可编程内连等方面。最后将该芯片与 XLNX 其它系列芯片相关内容进行了比较分析,给出了该芯片与其它各类不同芯片之间结构与性能上的差异。

关键词:可配置逻辑块; 输入输出逻辑块; 可编程内连; 时钟; XLNX; FPGA

中图分类号: TN403

文献标识码: A

文章编号: 1671-654X(2007)02-0080-04

引言

XLNX 公司拥有多种不同系列的 FPGA 芯片,随着微电子技术的发展,芯片的结构与功能也发生了相应的变化。本文参考了 XLNX 系列芯片的相关资料,结合微电子电路相关知识,重点针对 Virtex 系列芯片,从其基本结构、CLB(可配置逻辑块)、DB(输入输出模块)、可编程内连等方面^[1]进行了详细的分析研究。最后通过比较的方式给出了各系列芯片间芯片结构以及性能上的差异。

1 Virtex 系列芯片基本概况

Virtex 系列芯片的基本电路框图结构如图 1 所示。它主要由可配置逻辑块(Configurable Logic Blocks, CLB)组成的规则阵列构成内部核心部分;周围是输入输出模块(Input/Output Blocks, IOBs);在管芯的四个角上有 4 个时钟锁相环;遍及整个芯片分布着 4 个通用低摆率的全局时钟分配网络;在 CLB 与 IOB 之间,有两列 RAM 块,分别位于左右对称的两侧,这一系列的芯片可以把配置数据存在其内部的静态存储单元中,通过这种方式可以实现无限循环次数的重复编程,存储在静态存储单元中的值控制着可配置存储单元及内连资源,这些值在上电时加载到静态存储单元中,如果需要改变系统功能时可重新对其进行配置,同时,它还提供了基于函数发生器的单端口与双端口的分布式 RAM。

Virtex 系列芯片最多可容纳的逻辑门数为 1000000 门,系统时钟频率可达 200MHz;它采用 5 层

金属板的 CMOS 工艺。

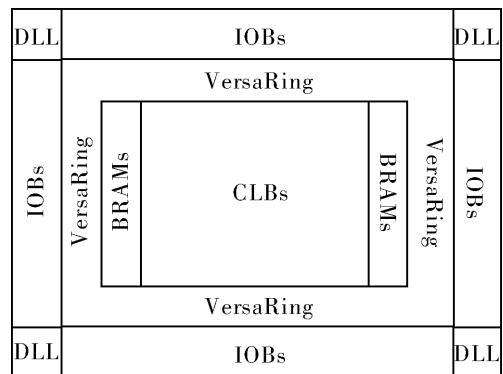


图 1 Virtex 系列芯片基本框图结构

2 Virtex 系列芯片详细分析

1) 输入输出逻辑块(DB)

它提供了包装引脚与内部逻辑之间的接口界面。Virtex 系列芯片的 DB 的电路结构如图 2 所示。

图 2 中,三个 D 寄存器既可作为 D 型触发器也作为边沿敏感的锁存器,它们共用同一个时钟,共用同一个置位/复位信号,但各自有独立的时钟以始能信号。对每一个寄存器,输入数据可配置成同步置位、同步复位、异步预置位、异步清零,具体配置可以通过软件编程进行控制。上拉电阻、下拉电阻以及弱保持电路是焊盘的附属器件。配置前,与配置无关的输出均被置于高阻状态,下拉电阻与弱保持电路处于非活动状态,但输入处于激活状态,配置模式中的全局原则控制着上拉电阻的激活,如果上拉电阻没有被激活,所有引脚

收稿日期: 2007-01-29 修订日期: 2007-03-14

作者简介: 邹德财(1979-),男,山东烟台人,博士研究生,主要从事电子与导航领域的研究。

处于浮动状态。当静电和电压过高时所有焊盘均可处于保护状态之下。

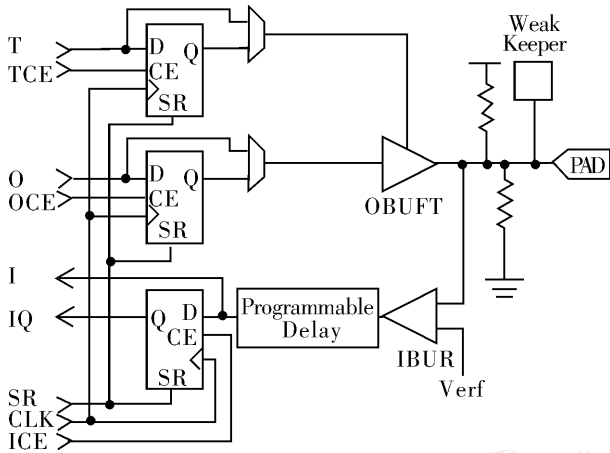
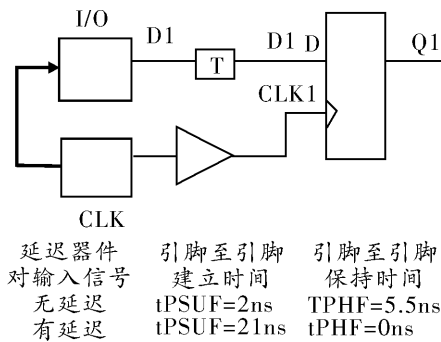
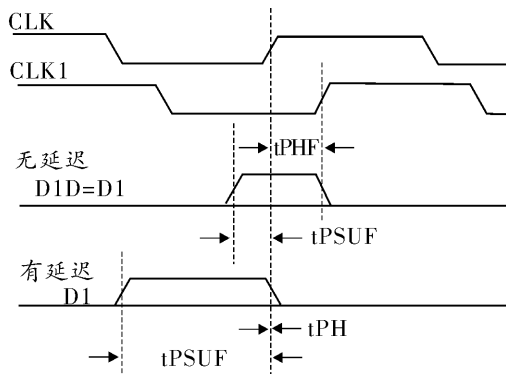


图2 Virtex系列芯片DB电路结构

a 输入通路。通过可编程的输入缓冲把信号直接或经过寄存器的输出送入,信号在送入寄存器前,由可编程延迟器件对输入信号进行延时配置^[2],使信号的延时与FPGA里时钟的分配延时相同,故输入信号焊盘与输入时钟焊盘之间的保持时间为0;如果延迟器件不对输入信号进行延时处理,则输入信号与芯片输入时钟之间的保持时间不为0。如图3所示。



(a)



(b)

图3 输入信号的延迟分析

图3(a)中,电路图中左边的红色箭头表示从CLK焊盘到D焊盘之间的延迟。T单元实现图3(b)所示延时功能,它可以决定是否对输入信号D1进行延时。若有延时,焊盘与焊盘之间的保持时间为0,但此时的建立时间增加到21ns;若无延时,保持时间为5.5ns,建立时间为2ns。所以,当延时编程器件对输入信号进行的延时是以延长建立时间作为代价的,而且代价还比较大,相当于无延迟的10倍!图3(b)是相应的对输入信号是否进行延迟时的时序图。另外,输入信号对于CLK1的保持时间为0,建立时间图中未画出;CLK1对于CLK也有一个延迟,这是时钟信号通过时钟缓冲以及全局时钟分配网络在整个芯片上对时钟进行分配过程中产生的延迟。

b 输出通路:图2中,输出信号可以经过输出缓冲直接输出,也可先进入寄存器然后再进行输出。每一个输出焊盘上有一个弱保持电路,它监视着焊盘上电压的微妙变化,并对之进行调整以匹配输入信号。

2)可配置逻辑块(CLB)

Virtex系列的CLB电路结构如图4所示。

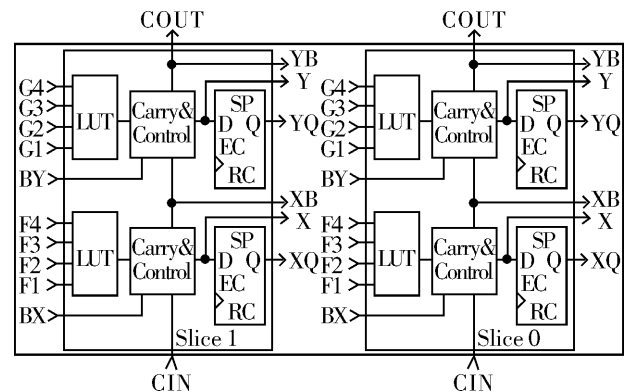


图4 Virtex系列芯片CLB电路结构

CLB的基本组成单元为LC(逻辑单元)。图中列出了两个LC,每个LC包括两个4输入的函数发生器、两个进位逻辑和两个存储单元。

a LUT与函数发生器。函数发生器被用来实现一个4输入的查找表,每个查找表可提供一个16x1bit的同步RAM,或形成一个可以存储随机的突发的快速数据的16bit的移位寄存器;同一个LC中的两个部分可组合成一个16x2-bit或32x1-bit的同步RAM,或者组成一个16x1-bit的双端口的同步RAM。

b 存储单元。它可以被配置成D边沿触发器或者电平敏感的锁存器,输入可以是LUT的输出也可能是直接来自于LC的输入信号,旁路掉函数发生器。

c 快速进位逻辑。为高速算术函数的运算提供了

快速运算进位功能,它支持两个独立的进位链。

3) RAM 块

Virtex系列中包含 64 个 CLB 的芯片中每列有 16 个 RAM 块,所以共有 32 个 RAM 块。每一个 RAM 块都是完全同步的双端口的 4096 - bit 的。每个端口都有独立的配置信号,且每个端口的数据宽度都是各自独立配置的。

4) 可编程的布线阵列

包括以下几种布线。

a 局部布线: Virtex 系列的局部布线有三种方式的连接,即: LUT、触发器、常规布线矩阵 (GRM) 之间的连接; CLB 内部把同一个 CLB 的输出反馈回来作为自身 LUT 输入的连接,这种连接提供了最小的延时;在相邻的 CLB 间提供水平连接,这种连接消除了信号在 GRM 中的延迟。这三种方式如图 5 所示。

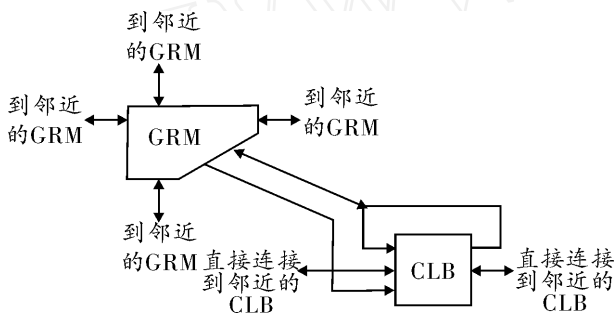


图 5 Virtex 系列芯片局部布线电路

b 常规布线: Virtex 系列中在 CLB 的通道中,水平与竖直方向各有 24 根单长线连入 GRM 中,通过 GRM 中的可编程开关实现是否互连,以实现 CLB 间的互连;四个方向各有 12 条带缓冲的 16 进制线每跨过 6 个 CLB 从一个 GRM 汇入下一 GRM;每个 CLB 分别在水平与竖直方向相邻着 12 根带缓冲的双向的长线,长线的长度与 CLB 区域的长或宽相同。

c D 布线: 这是一种在芯片的周围附加的布线资源,它提供了 CLB 阵列与 DB 的交换界面,称为多功能环,同时,除了能把 DB 与 CLB 连接起来之外,还可以实现引脚之间信号的交换。

d 直接连线: 一些信号需要专门的连线来达到最优性能的实现,直接连线便实现了这一目的,在 Virtex 芯片中,有两类这样的信号:在两个独立网络中,每个 CLB 传输进位信号给相邻的 CLB;水平布线资源在一个通道内提供 4 条三态总线来与 CLB 交换信号。

e 全局布线: 它为时钟及其遍及整个芯片的多扇出信号提供分配通路。Virtex 包括两类全局布线资源:主全局布线与次全局布线。主全局布线由 4 个以最小摆率来分配高扇出时钟信号的有专门输入引脚的

全局网络构成。次全局布线包括 24 条主干线,12 条穿过芯片上端,12 条通过芯片下端,通过这些线,每一个 CLB 列中可以有 12 条信号分布式地通过这列中的 12 条长线。

5) 时钟分配

通过主全局布线 Virtex 在整个芯片上提供高速、低摆率的时钟分配。典型的时钟分配如图 6 所示。它提供了 4 个全局时钟缓冲器,4 个专门的时钟焊盘分别与每一个全局时钟缓冲器相匹配,全局缓冲的输入可以来自于这些焊盘,也可以来自于常规布线。

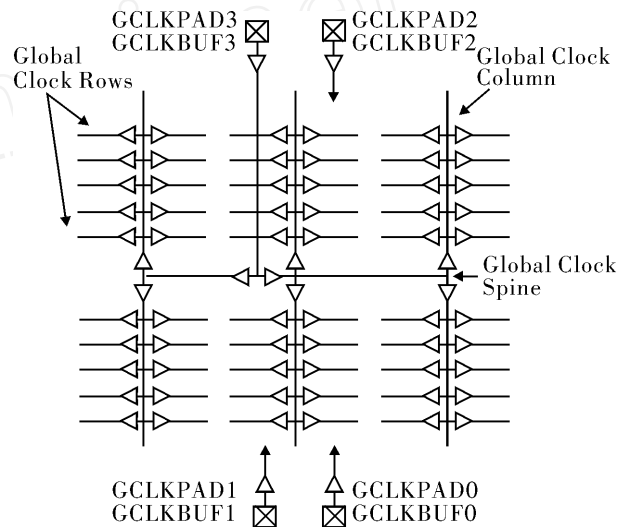


图 6 Virtex 芯片典型的时钟分配

时钟延迟锁定环。与每一个全局时钟缓冲器相关联的是全数字的延迟锁定环,它可以有效地消除时钟输入焊盘与遍及整个芯片的时钟输入之间的摆率。每个 DLL 可驱动两个全局的时钟网络,DLL 监视着总时钟信号与被分配开的时钟信号,自动调整时钟延迟因素,它可以精确地实现从时钟从焊盘输入至其边沿到达内部触发器时延迟 1 - 4 个时钟周期的功能。这个闭合的环通过确保时钟边沿同步到达内部触发器来有效地消除时钟分配延迟。为了保证系统时钟在配置完毕刚开始启动 FPGA 时能够正常工作,DLL 可以延迟配置地完成直到它已经锁定了时钟为止。

3 结束语

本文仅给出了 Virtex 系列芯片的内部基本结构与性能分析。现结合本文分析,对 Xilinx 其它各系列芯片结构^[3]与性能进行如下比较。

器件容量与系统速度的提高。在芯片所容纳的晶体管的门数上由较早 XC3000 系列的最高 7500 门的容量到 Spartan - II 系列的 200000 门直至 Virtex 系列的 1000000 门容量;在系统的时钟速度上由原来的不

足百兆到最后的 200多兆,实现了质的飞跃。

与 CLB相关的内置器件功能的增多。XC4000在XC3000的基础上,增加了快速进位逻辑,从而提高了器件进行多种逻辑运算的能力与速度。

DB方面。XC4000的DB中除了对输出配置较3000更加灵活外,还增加了一个输出的MUX,它可以在输出通路中实现多种基本的函数运算;而在Spartan-II系列与Virtex系列的DB中则更加强了对延时的控制,通过专有的延时电路可以实现信号与时钟的良好匹配。

系统内连方面,Spartan-II系列与Virtex系列的内连,连接方式比XC4000更加条理化与模块化,随着器件内部时钟的大量使用,这两系列把时钟的分配单

独划分出一系统,建立了单一的时钟分配网络。

参考文献:

- [1] James R. Armstrong, F. Gail Gray. VHDL Design Representation and Synthesis[M]. China Machine Press, Beijing, 2003, P381 - 398
- [2] Michael John Sebastian Smith. Application-Specific Integrated Circuits[M]. Publishing House of Electronics Industry, Beijing, 2003, P253 - 255.
- [3] Michael John Sebastian Smith. Application - Specific Integrated Circuits[M]. Publishing House of Electronics Industry, Beijing, 2003, P 204 - 208.

Analysis of XLINX FPGA Chip Structure

ZOU De-Cai^{1,2}, WU Hai-tao¹, LI Yun^{1,2}

(1. National Time Service Center, Chinese Academy of Sciences, Lintong 710600, China;

2. Graduate School, Chinese Academy of Sciences, Beijing 100039, China)

Abstract: Virtex FPGA chips are analyzed in this paper. The more detailed contents, including the basic structure of an FPGA chips, the Configurable Logic Blocks, the Input/Output Blocks and the Programmable Interconnect, are studied using the relative knowledge of micro-electricity in this paper. The capability of Spartan-II chips is extruded by comparing to the other series FPGA chips of XLINX. The results of this paper offer the difference between this type of chip and the other types of chips of XLINX in the structure and the performance.

Key words: configurable logic blocks; Input/Output blocks; programmable interconnect; clock; XLINX; FPGA