

选择合适的 FPGA 千兆位级收发器至关重要

了解 PHY 子层将有助于您通过赛灵思的高速串行收发器架构向导定制物理层

作者: Carol A. Fields
赛灵思公司高端产品线经理
carol.fields@xilinx.com

从较高的层面上来讲,千兆位级收发器(GT)就是以极高的速率在不同芯片间传输数据的 I/O 高速通道。恰当的 GT 不仅可消除传输瓶颈,而且还可使系统加速,因此选择合适的 GT 是通信和实时处理领域尤其需要重点考虑的设计事项。众多的应用都想利用 GT 的优势,但特定的市场领域可能会存在太多的标准、协议或使用模型。有时针对某一种应用就会涉及到好几种标准,从而迫使设计人员必须自行决定哪种标准才能最佳满足系统所需。因此,为了选择最适合的千兆位级收发器,我们必须对各种协议的最新发展情况进行了如指掌。

从无线通信到消费电子产品的众多不同市场领域都具有业界标准连接协议。其中一些现代协议是建立在开放系统互连模型之上的。依照这种模型,网络器件和软件之间的互操作被分配到了不同的层。在 FPGA 领域,赛灵思 LogiCORE™ 和 AllianceCORE 等不同知识产权(IP)库除了采用 1000BASE-X 等低级物理层(PHY)协议之外,通常还采用 PCI Express® 等高级串行连接协议。

不过，为给定的设计项目选择正确的 PHY 协议模板并不像选择高级协议那么简单。在许多行业中，整合和设计重用通常都会造成诸多如迷宫一样的复杂问题，令我们无奈地自行查找解决。而了解高级协议及其与低层协议规范的关系并充分留意不同行业对 PHY 定义的情况，将有助于我们选择最佳的赛灵思 LogiCORE IP 高速串行收发器架构向导协议模板，进而实现我们的设计目标 (www.xilinx.com/products/design_resources/conn_central/solution_kits/wizards/index.htm)。

息从某一站点的应用层开始向下逐层传递，直至最底层的物理层，随后通过通道传输到下一站点。而信息返回时经过各层的顺序则与之相反。

OSI 的各层从高到低分别是：应用层、表示层、会话层、传输层、网络层、数据链路层和物理层。

应用层协议直接服务于终端用户，其可将适当的信息服务提供给应用、应用管理和系统管理方。OSI 模型中的第二层为表示层，它为应用层提供一系列可选服务，以便其解释所交换数据的含义。上述服务用于管理结构化数据的进

链接实体之间建立、保持和释放物理连接提供机械、电子、功能和程序性的性能。

三个 PHY 子层

当前普遍使用的许多串行连接协议都在模仿 OSI 的分层模型，并采用类似的术语，例如将从物理层到应用层的各层按从低到高的顺序划分为七个等级。在本文中，凡提及串行连接协议时，所谓的“高层”皆指的是二至四层（也即高于物理层的各层）。

PHY 层（第一层）包括二到三个子层，分别为物理编码子层 (PCS)、物理介质连接 (PMA) 子层和可选的物

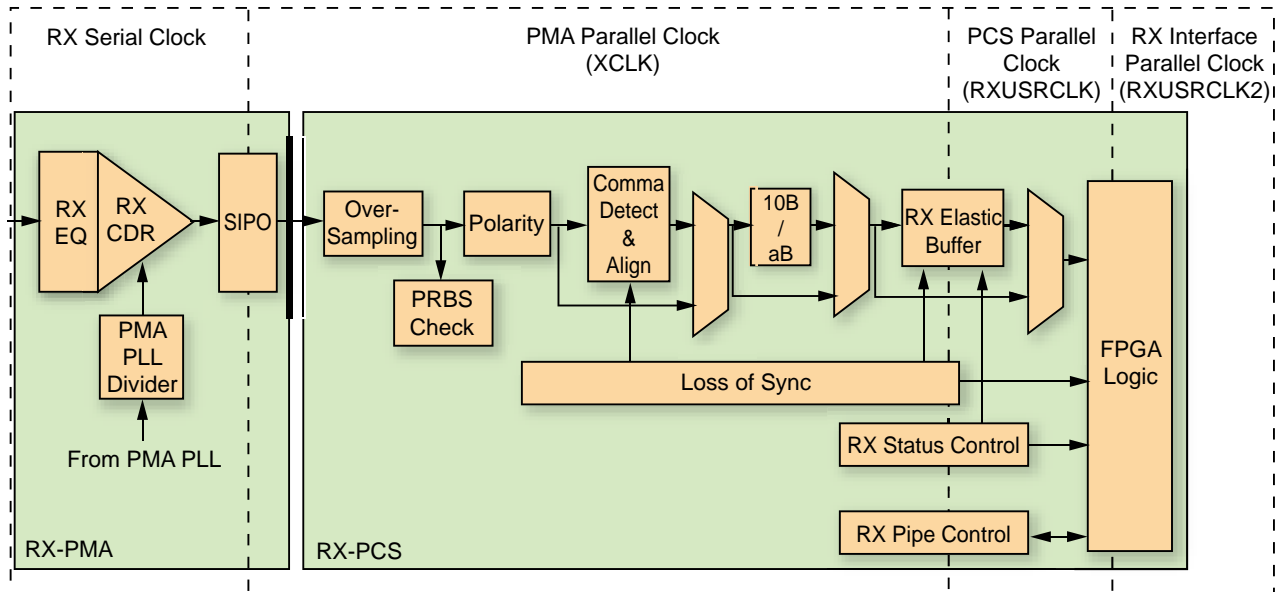


图 1—— Virtex-5 RX 物理子层 PCS、PMA 和 PMD 示例方框图

首先，我们不妨先来回顾一下这些相关协议，然后再谈谈为设计方案选择适合协议的最佳方法。

OSI: 连接协议模板

开放系统互连 (OSI) 是一种面向全球通信的 ISO 标准 (http://www.iso.org/iso/iso_catalogue/catalogue_tc/catalogue_detail.htm?csnumber=20269)。该标准定义了一个分七层实施协议的框架。控制信

入交换、显示和控制。

会话层协助支持各合作表示实体之间的互动，而传输层则为配合各较低层提供的底层服务而提供通用传输服务。网络层的作用是提供功能性和程序性方法，以便两个传输实体通过网络连接交换网络服务数据单元。

最后，数据链路层为网络实体之间建立、保存和释放数据链接提供相关功能和程序性的方法，而物理层则为数据

理介质相关子层 (PMD)。凡涉及 PHY 层时，“高层”皆指 PCS 层，“低层”，皆指 PMA 和 PMD 层。图 1 以方框图的形式显示了各层之间的关系。

数据包或数据在发送时以正向顺序传输，即从介质访问控制 (MAC) 层到 PCS、PMA 及 PMD，而接收时的顺序则与之相反。赛灵思将依据具体协议在高速串行收发器中实施 PHY 子层。

物理编码子层连接于较高的第二

您可用单个或多个器件实施设计人员通常称之为电子规范的物理层。对 PHY 子层的使用将主要取决于具体的细分市场和所用协议。

层，即数据链路（或 MAC）层。它通常采用 8b/10b 编解码、comma 码对齐、通道绑定和时钟改正等技术。

高级协议规范会把 PCS 定义为 PHY 的一部分，或者参照业界标准的 PCS。例如，第二代 Serial RapidIO 规范定义了 PCS，不过却让设计人员为 PMA 应用 CEI-6G-SR/LR 规范。PCS 既可在高速串行接收器中实施，也可在 FPGA 中实施，或者同时在二者中实施。

流生成 / 检查逻辑。

最后，物理介质依赖子层是通常与以太网协议联合使用的 PHY 层规范的可选组成部分。PMD 负责在物理介质上收发独立比特位，具体包括比特位计时、信号编码、与物理介质或线缆互动等。

例如，在实施 1000BASE-X PCS/PMA LogiCORE 的过程中，1 千兆以太网 MAC 连接于 LogiCORE，而 LogiCORE 转而连接到 1000BASE-X

PHY。对子层的使用主要取决于具体细分市场 and 所用协议。就常用的串行协议 PCI Express 而言，PHY 包括 PCS 和 PMA 两个子层。

通信协议中的 PHY 层通常使用的是 PCS、PMA 和 PMD 子层。图 2 显示的是在局域网应用中使用赛灵思 TEMAC (10M/100M/1G) LogiCORE 的示例，其中 1-Gbit 以太网 MAC 接连与 1000BASE-X PCS/PMA 和激光收发器

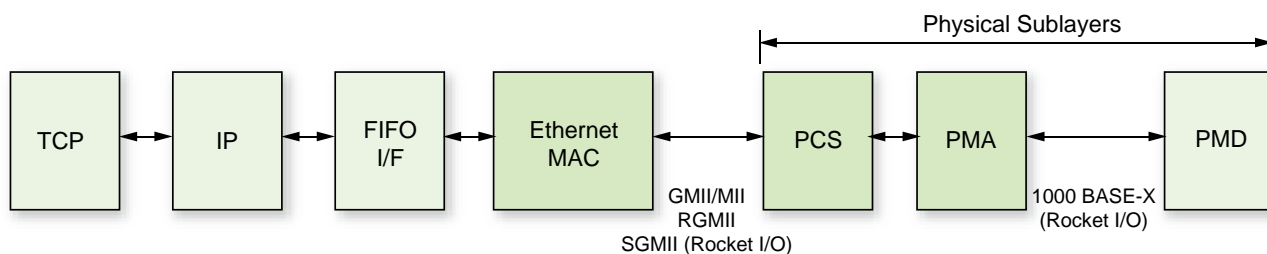


图 2——以太网通信应用中的 PHY PCS、PMA 和 PMD 层示例

物理介质连接子层通常被称作“电子规范”。PMA 实施协议的适当信号完整性和其他的一些典型特性，如带可配置端接的电流型逻辑 (CML) 驱动器 / 缓冲器、电压摆动与耦合；支持最佳信号完整性的可编程发送预加重和接收均衡以及由支持可选过采样器件和收发器不同类型（如 Spartan®-6 GTP、Virtex®-6 GTX）而决定的线路速率。

PMA 的其他功能还包括用于最小化确定性数据路径延迟的固定延迟模式、带外信号发送支持（专用于满足 PCI Express 和 Serial ATA 协议的要求）以及用于简化误码率检查的内置伪随机比特

PMD 可选收发器。赛灵思 Trimode Ethernet MAC (TEMAC) LogiCORE 可实施 PCS 和 PMA 功能，其中 PMA 功能可在高速串行收发器（有时也称为 GT）中实施。在 PCS 层中，高速串行收发器实施编码和解码，而 FPGA 逻辑则负责自动协商。PMD 子层包含一个用于物理介质的收发器。

PHY 使用方面的混乱状态

人们很容易将 PHY 误认为是硅芯片，而混淆其用途。PHY 是一个包括子层的规范层。我们可用单一或多个器件实施设计人员通常称之为电子规范的

1000BASE-X PMD 进行通信。此时，PHY 同时实施在了 FPGA 和可选的光学收发器器件之中。

由于 PHY 层会导致混淆产生，因此我们最好认真阅读规范，以便准确了解各层（PCS、PMA、PMD）会执行何种功能以及在硅片的哪一部分（FPGA 逻辑部分、高速串行收发器还是在 FPGA 之外）实施有关功能。大多情况下，PMA 都被认为是 PMD 的一部分。

当然，还有很多诸如 PCI 的连接协议是非串行（即单端或差分信号 I/O）的，或不使用高速串行收发器。在这种

Aurora 8b/10b, Aurora 64b/66b
DisplayPort
GPON
Interlaken
OC-48
PCI Express Gen1/Gen2
Serial RapidIO Gen1
HD-SDI

表 1——定义 PCS/PMA 的高级协议规范

较高协议	PCS/PMA协议
10G以太网 (XFI/SFI)	10GBASE-X, XAUI
CPRI	1000BASE-CX, XAUI, LVXAUI
OBSAI	CEI-6G-SR/LR

表 2——定义 PCS 和 PMA 规范用法的高级协议

低层PCS/PMA协议	高级协议
1000BASE-X	赛灵思 Trimode Ethernet MAC (TEMAC)
CEI-6G-SR/LR	OBSAI RF03-01 LVXAUI
SGMII	赛灵思 TEMAC
XAUI	10GE

表 3——定义 PCS (或部分 PCS) 和电气 PMA (或部分 PMA) 的低层协议

情况下, 我们可采用 SelectIO™ 串行器 / 解串器实施串行 PHY。

硬化或嵌入式 IP 考虑事项

赛灵思通常会在 FPGA 中直接集成 PCI Express 和千兆以太网等常用的协议。这硬化版本可实施协议的部分或全部功能。在上述这两种情况中, LogiCORE 封装作为 LogiCORE 产品的一部分实施 MAC 和物理层 (PCS 和 PMA)。封装包含硬化模块并与高速串行收发器相连接。就 TEMAC 而言, 硬化 IP 实施 MAC 和部分 PCS 以及 PCI Express LogiCORE 的事务处理和数据链路层。我们可用赛灵思的高速串行收发器向导来查看并修改 GTP/GTX 设置。(如欲了解详情, 敬请登陆以下网址参阅集成块三模以太网封装文档资料: www.xilinx.com/products/design_resources/conn_central/protocols/gigabit_ethernet.htm; 而如欲详细了解用

于 PCI Express LogiCORE 的 Endpoint BlockPlus, 敬请访问以下网址:

(www.xilinx.com/products/design_resources/conn_central/solution_kits/pci/index.htm。)

向导协议列表

表 1、表 2 和表 3 分别列出了高速串行收发器向导所支持的串行协议。表 1 中列出的是其规范包含 PCS 和 PMA 的高级协议, 而表 2 则列出了定义业界标准的 PCS 和 / 或 PMA 规范用法的高级协议规范。表 3 列出了的是物理层规范及通常与之配合使用的高级协议。

为尽力帮助您通过 GT 架构向导定制 PHY, 我们不妨先来详细了解一下顶级串行协议的 PHY 层及其相应的向导协议模板。最常用的协议包括 10G 以太网 MAC—XAUI、CPRI v4.0、3G 和 6G OBSAI RP3-01、第一代和第二代 PCI Express、Serial RapidIO、HD-

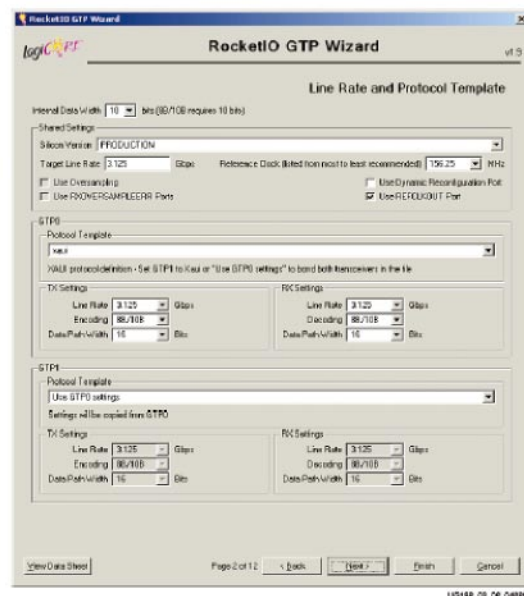


图 3——Virtex-6 GTP 向导可帮助用户逐步完成高速 I/O 设置

GT 向导协议模板	Virtex-6 GTX	Spartan-6 GTP	Description	Protocol Specification
3G OBSAI	★	★	开放式基站架构创始组织。 OBSAI RF03 是 RF3-01 的子集。 www.xilinx.com/esp/wireless.htm	开放式基站架构创始组织, www.obsai.org , 光互联论坛 www.oiforum.com , XAU1(IEEE), www.ieee.org
6G OBSAI	★		开放式基站架构创始组织。 OBSAI RF03 是 RF3-01 的子集。 www.xilinx.com/esp/wireless.htm	开放式基站架构创始组织, www.obsai.org , 光互联论坛 www.oiforum.com
Aurora 8b/10b	★	即将推出	轻量级链接层	赛灵思, www.xilinx.com/aurora
Aurora 64b/66b	★		轻量级链接层	赛灵思, www.xilinx.com/aurora
CPRI v4.0	★	★	www.xilinx.com/esp/wireless.htm	通用公共无线电接口, www.cpri.info
DisplayPort	即将推出	★	显示协议, www.xilinx.com/products/design_resources/conn_central/grouping/displayport.htm	视频电子标准协会 (VESA), www.vesa.org , www.displayport.org
Fibre Channel	★		PHY 类似于 XAU1's. www.xilinx.com/products/design_resources/conn_central/grouping/fibre_channel.htm	光纤通道行业协会 (FCIA), www.fibrechannel.org
GigE (SGMII/1000Base-X)	★	★	得到了赛灵思TEMAC的支持。 www.xilinx.com/ethernet , www.xilinx.com/esp/wired.htm	IEEE, www.ieee.org
GPON	★		光纤到户。千兆无源光网络。 www.xilinx.com/esp/wired.htm	国际电信联盟, www.itu.int
HD-SDI	★	★	高清。支持 1.485G 单一速率, 主要应用于广播领域。 www.xilinx.com/esp/broadcast.htm	电影和电视工程协会 (SMPTE), www.smpte.org/home
Interlaken	★		灵活的芯片间数据包传输。可与多种 MAC 协作: OC768 Sonet, 100GE. www.xilinx.com/esp/wired.htm	www.interlakenalliance.com
OTN OTU2 (XFI)		即将推出	www.xilinx.com/esp/wired.htm	XFI 电气接口规范是 XFP 多源协议规范的一部分。 www.xfpmsa.com/cgi-bin/msa.cgi
PCI Express Gen1	★	★	第一代 PCI Express. www.xilinx.com/pciexpress	PCI-SIG, www.pcisig.org
PCI Express Gen2	★		第二代 PCI Express. www.xilinx.com/pciexpress	PCI-SIG, www.pcisig.org
Serial RapidIO Gen1	★	★	第一代 Serial RapidIO. www.xilinx.com/esp/wireless.htm	RapidIO, www.rapidio.org
TEMAC 用 SGMII	★	★	得到了赛灵思TEMAC的支持。 www.xilinx.com/ethernet , www.xilinx.com/esp/wired.htm	IEEE, www.ieee.org
XAU1	★	TBD	10G以太网扩展连接单元接口 (XAU1)。连接于 10GE MAC. www.xilinx.com/ethernet , www.xilinx.com/esp/wired.htm	10GE & XAU1: IEEE, www.ieee.org

表 4——用于 Virtex-6 和 Spartan-6 千兆位级收发器的向导协议模板

SDI 和 Xilinx TEMAC (10M/100M/1G Ethernet)。

由于每份产品手册均列出了所支持的协议，因此在使用 GT 向导之前，我们建议新用户应先熟悉一下 Virtex-6 或 Spartan-6 GT 产品手册。此外，虽然向导使用起来比较简单，但最好还是要先来翻阅一下《向导使用指南》，毕竟其中包含了很多有用的信息（具体请参见：www.xilinx.com/products/design_resources/conn_central/solution_kits/wizards/3）。

图 3 显示的是包含协议模板下拉菜单的 Virtex-6 GTX 向导 GUI。而表 4 中列出的是 Virtex-6 GTX 和 Spartan-6 GTP 向导 LogiCORE 所支持的协议模板。

根据客户要求，赛灵思改进了 LogiCORE 和 GT 向导之间的使用模式。许多赛灵思串行 LogiCORE（包括面向 Serial RapidIO、XAUI 和 Aurora 的 LogiCORE）现在都直接采用向导的输出。客户可选择 Serial RapidIO 等协议模板并对其加以定制修改。LogiCORE 设计团队无需系统 I/O 专家即可通过修改串行器/解串器来创建定制协议。

10G 以太网——XAUI

10 千兆以太网（又名 10GbE、10GigE 或 10GE）标准是一种 IEEE 规范，其定义的标称速率是千兆以太网的 10 倍。物理层包含的一个接口可将 MAC 连接于 PHY、PCS、PMA 和 PMD。至于赛灵思 LogiCORE，10-Gbit 媒体独立接口 (XGMII) 可连接至光学模块或 10G 以太网 XAUI。PMA 和

PMD 既可视作外部器件（例如在光学收发器中），也可以视为 XAUI 的一部分（例如在芯片间或背板应用中）。

Virtex-6 LXT、SXT 和 FXT FPGA 不能以单通道、10G 的数据传输速率与单通道光纤 PMD 相连。不过，可利用 XAUI 的四条通道与光 PHY 模块连接，自此即可通过单光纤线缆收发 10GE 数据包。

设计人员可在网络和电信等不同领域实施各种应用，通常的做法是通过背板而使用 XAUI 连接各板，或者将 XAUI 连接至 10-Gbit 光模块。由于 72 引脚 XGMII 不适用于电路板排针或离板接口，因此在很多高级协议中 XAUI 也可用作芯片间的 MAC/PHY 接口。设计人员可用赛灵思 XAUI LogiCORE 实施 DTE XGXS（10 千兆扩展器子层，也即 XAUI）、PHY XGXS 以及同时采用千兆位级收发器和 FPGA 逻辑的 10G BASE-X PCS。XAUI 接口被视为一侧可于 10G Ethernet PHY 连接、另一侧与 MAC 连接的 PCS 层。FPGA 不支持光纤或铜线 10G Ethernet PHY 的实施。

赛灵思为其 10GE XAUI LogiCORE 定制了 GT 向导的 10GE XAUI 模板。对于定制应用或 AllianceCORE，请参见 IP 文档实施细节。设计人员可用 GT 向导为 XAUI PCS 定义千兆位级收发器的电气属性。

通用分组无线接口 v4.0

通用分组无线接口 (CPRI) 可用于无线电设备控制器或基站以及一个或多个无线电设备单元之间的连接。CPRI 规范涵盖了 OSI 堆栈的第一层和

第二层，物理层（第一层）定义了传统基站使用的电气接口以及支持远程无线电设备的基站光学接口。赛灵思 CPRI LogiCORE 在 GT 中实施 PHY，在 FPGA 逻辑中实施数据链接（第二层）。

CPRI 将线路速率定义为每秒 614.4 Mbits (E6)、1,228.8 Mbits/s (E12) 和 2,457.6 Mbits/s (E24)，并为 E6 和 E12 定义了高压和低压规范，而只为 E24 定义了低压规范。高压规范基于 IEEE 802.3-2002 第 39 条款 (1000BASE-CX)，而低压规范则基于 IEEE 802.3ae-2002 第 47 条款 (XAUI)。CPRI 还能使用低压 XAUI 规范 LVXAUI。

我们可用 GT 向导按照标准规范 CPRI v4.0 来为赛灵思 CPRI v4.0 LogiCORE 定义 GT 电气属性。赛灵思 CPRI v4.0 LogiCORE 使用了修改过的 100BASE-CS 和 XAUI 作为电气规范。在查看或修改赛灵思 CPRI v4.0 LogiCORE 时请用“CPRI v4.0”菜单项。

3G 和 6G OBSAI RP3-01

开放型基站架构创新 OBSAI RP3-01 蜂窝式基站协议分为较低的物理层和较高的应用、传输和数据链路层。应用层可连接于基带或 RF 卡，而数据链路层可连接于物理层。赛灵思用 FPGA 中的收发器实施 PHY，处理电气部分，并连接到外部光学收发器模块。

至于 OBSAI，8b/10b 编码和字对齐块以及同步和相位校准缓冲器均嵌入到了收发器块中，且不需要使用 FPGA 逻辑。

OBSAI RP3-01 电气参数符合 XAUI 电气规范要求 (IEEE 802.3ae-2002, 第 47 条款), 支持的最高速率为 3.072 Gbits/s, 同时也符合公共电气 IO (CEI) G6 规范, 支持的短距离 (CEI-6GSR) 和长距离 (CEI-6G-LR) 均为 6.25- Gbps 标准。GT 向导可为赛灵思 3G OBSAI RP3-01 和 6G OBSAI RP3-01 LogiCORE 提供协议模板, 并可采用改进的 CEI-6G、XAUI/SRIO 电气规范加以实施。所涉及到的菜单项为 3G OBSAI RP3-01 和 6G OBSAI RP3-01。

第一代和第二代 PCI Express

PCI Express 协议应用于物理层、数据链路层和事务处理层。由于这种标准非常通用, 因此新兴串行协议往往寻求在电气规范方面与其兼容或类似, 据此, ASSP 和其他 PHY 器件厂商就能重用精心测试的 IP 产品了。赛灵思通过自身及其 AllianceCORE 合作伙伴在集成式硬 IP 模块 (Express LogiCORE 增强型端点模块封装) 和软 IP 中实施了第一代和第二代 PCI Express 协议。

定制设置可用 GT 向导生成并手动移植到硬 IP 模块的源代码封装中。向导中支持 PCI Express 物理层的两个协议模板分别为: PCI Express 1 代和 PCI Express 2 代。

串行 RapidIO

虽然串行 RapidIO 协议与 PCI Express 一样也应用于三个层中, 但却分别为物理层、逻辑层和传输层。在此业界中, 一般都是在新协议中尽可能多的采用现有技术规范, 因此, 串行 RapidIO 的物理层使用了 XAUI 电气接

口 (IEEE 802.3ae-2002, 第 47 条款) 作为定义其 AC 电气规范参数的指南。由于 RapidIO 和 XAUI 的应用目标类似, 串行 RapidIO 设计人员因而能重用其现有的 XAUI 电气设计方案。GT 向导可通过串行 RapidIO 模板支持串行 RapidIO PHY。

三速 SDI 视频

三速 SDI 视频参考设计是基于 SMPTE 标准之上的。我们的集成参考设计支持的几种标清和高清规范分别为: SD-SDI、HD-SDI、Dual Link HD-SDI 和 3G-SDI 等。

与高速串行收发器的物理连接是通过差动 CML 驱动外部线缆驱动器 (用于传输) 或外部适应性接收均衡器来实现的。各标准间常用的串行化协议非常具体, 设计时采用的是 FPGA 结构。该协议需要较多的 AC 耦合电容进行大量的 1 和 0 运算。

广播设备采用 75 欧姆的同轴电缆通过三速 SDI 标准联网。GT 向导支持 SD/HD/3G-SDI 参考设计, 参考设计使用的是带同名模板的 HD-SDI 协议。三模参考设计使用动态重构端口来重新配置千兆位级收发器, 以支持 SD 和 3G 三模。在上述模式中, SD-SDI 和 3G-SDI 使用 GT 中的锁相环路来恢复 2.97 Gbits/s 数据。

赛灵思三模以太网

三模以太网 MAC 是赛灵思实施 10/100/1G 以太网协议的一种标准。赛灵思提供 TEMAC LogiCORE (软 IP) 和用于集成模块的三模以太网封装 (硬 IP)。就软 IP 而言, 1000BASE-X

PCS/PMA 或 SGMII LogiCORE 可实现无缝连接。SGMII 是支持 10/100/1G 操作的串行连接标准。

TEMAC 和 GTX 之间的连接速度始终为 1 Gbit/s, 但接口的采样频率在低速情况下较低。SGMII 选项不同于向导中的 PCS 和 PMA 设置, 其可作为独立的协议模板使用。

采用铜线的应用 (1000BASE-T), 其 FPGA 和 1000BASE-T PHY 之间的逻辑分区与 1000BASE-X (X 指光学) PMD 器件中的不同。对于 1000BASE-T, PCS、PHY 器件通常实施 PMA 和 PMD PHY 子层。设计人员可以在 FPGA 和 GT 中通过 GMII 接口实施 MAC, 而 MAC 不实施任何 PHY 层。因此, 没有针对 1000BASE-T GT 的向导协议模板。

TEMAC 封装即硬 TEMAC 子块和 GT I/O 块中通常采用的 HDL 封装 (1000BASE-X/SGMII 已经集成于 TEMAC)。具体实施细节请查阅以太网 LogiCORE 文档资料。

GT 向导支持采用 GigE (SGMII/1000Base-X) 模板的三模以太网协议。

总而言之, 业界标准协议日新月异, 差不多每年都会出现一两种新标准。因此就这点而言, 其术语和基础技术的复杂程度堪比税法。而对给定协议的物理层方案了解得越详细, 就越易于确定所要使用的最佳高速串行收发器向导协议, 从而为设计项目开创一个良好的局面。