

多用户检测中匹配滤波器的研究与实现

赵彦龙, 李艳萍

(太原理工大学信息工程学院, 太原 030024)

摘要: 首先简要介绍匹配滤波器在多用户检测中的作用, 以及多用户检测匹配滤波器的基本结构和工作原理, 在此基础上提出了一种基于 FPGA(Field-Programmable Gate Array, 现场可编程门阵列)的多用户检测匹配滤波器的实现方案, 方案采用模块化设计思想, 针对多用户检测匹配滤波器的自身特点从硬件角度出发对各个模块结构进行优化, 最后通过功能仿真和硬件综合对设计方案进行验证。

关键词: 匹配滤波器; FPGA; 乒乓结构; 流水线

中图分类号: TN47

Multi-User Detection Matched Filter Research and Implementation

Zhao Yanlong, Li Yanping

(College of Information Engineering, Taiyuan University of Technology, TaiYuan 030024)

Abstract: First, introduces the matched filter's function in multi-user detection technology and its basic structure and working principle. Propose a scheme of multi-user detection matched filter based on FPGA, which adopt thought of modular design, on the basis of multi-user detection matched filter's characteristics, optimize each module structure, and finally prove the scheme through the functional simulation and hardware synthesis.

Keywords: matched filter; FPGA; assembly line; ping-pong structure

0 引言

第三代移动通信系统简称 3G, 采用宽带码分多址(Code Division Multiple Access, CDMA)数字技术的新一代通信系统。在 CDMA 无线通信系统中, 所有移动手机和所有无线基站都工作在相同的频谱。为区分不同的信道, 每个手机广播一个惟一的码序列, 由于这些码序列之间并不是完全正交导致了多址干扰(Multiple Access Interference, MAI), 限制了通信系统的容量。CDMA 基站必须能够判别这些不同的码序列才能够分辨出不同信道的信号。为了使基站能克服多址干扰准确地分辨出不同信道的信号引入了多用户检测(Multiple Users Detection, MUD)技术^[1]。多用户检测匹配滤波器在用户分离环节作用是至关重要的, 它的工作性能直接影响到多用户检测器的质量。

FPGA 它是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路(ASIC)领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。Verilog HDL 是一种硬件描述语言, 用于从算法级、门级到开关级的多种抽象设计层次的数字系统建模。被建模的数字系统对象的复杂性可以介于简单的门和完整的电子数字系统之间^[2]。

1 传统数字匹配滤波器的原理及结构

传统数字匹配滤波器用于直接扩频系统的同步捕获是以本地序列作为延时链的抽头系

作者简介: 赵彦龙(1984-), 男, 硕士研究生, 主要研究方向: 多用户检测技术

通信联系人: 李艳萍(1963-), 女, 教授, 主要研究方向: 宽带通信、通信信号处理. E-mail: tyliyanping@126.com

数^[3]。接收数据自左向右依次输入，最先接收到的数据应位于最右，因此本地序列的配置也是首位在最右，当接收到的信号序列滑过本地序列时，每一时刻产生一个相关结果。当滑动到两个序列相位对齐是，相关结果将有一个峰值输出。检测到这个峰值即能获得定时同步信息，从而使本地扩频序列与所接收的信号同步。当处理基带信号时，设输入伪码为^[4]：

$$s(n) = \sum_{k=0}^{N-1} a_k \delta(n-k)$$

其中 a_k 为周期为 N 的伪码的序列值， $\delta(n)$ 为冲激响应序列。匹配滤波器的输出波形为输入伪随机序列的自相关函数，冲激响应为：

$$h(n) = s(N-1-n) = \sum_{k=0}^{N-1} a_k \delta(N-1-n-k) = \sum_{m=0}^{N-1} a_{N-1-m} \delta(m-n) \quad (m = N-1-k)$$

故匹配滤波器的传递函数为：

$$H(z) = \sum_{m=0}^{N-1} a_{N-1-m} z^{-m}$$

同步捕获匹配滤波器的结构如图 1 所示，其结构与有限脉冲响应(FIR)滤波器结构一致，只不过同步捕获数字匹配滤波器的系数是伪随机序列，所以一般采用 FIR 滤波器结构来实现同步捕获数字滤波器，实现电路通常由三部分组成：循环移位寄存器、乘法器、多输入加法器。为了保证同步捕获的准确性，同步捕获匹配滤波器对移位寄存器内的数据进行过采样，即采用高于外部时钟几倍的时钟频率取数运算。对于同步捕获匹配滤波器常见得实现结构有传统结构、倒置结构、折叠结构等。由于滑动检测运算量大，设计中的往往通过采用高时钟频率来换取资源的节省和运算速度的提高。

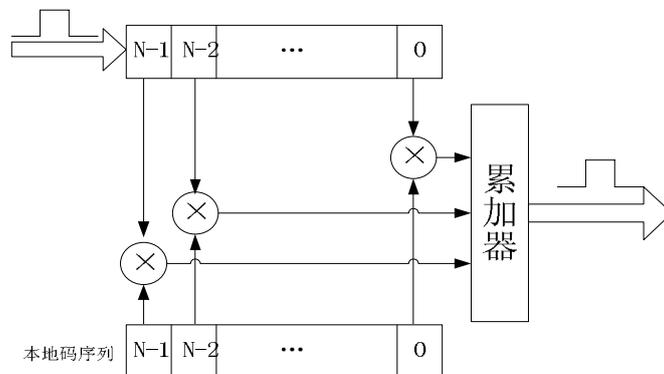


图 1 匹配滤波器的基本结构
Fig.1 the basic structure of matched filter

2 多用户检测匹配滤波器的原理及结构

多用户检测技术的原理框图如图 2 所示，多用户检测的一般思想为在各用户使用的扩频码序列已知的情况下，首先利用一组匹配滤波器，对位于同一个多址通信信道内的所有用户的扩频信号分别进行匹配滤波，然后对所有匹配滤波的输出同时进行多用户检测算法处理，最终判决恢复出发送的信息数据。可知匹配滤波器是多用户检测器一个重要组成，匹配滤波器工作的效率和可靠性直接影响到检测器的整体有效性和可靠性。匹配滤波的输出时延决定了下级多用户检测算法模块的输入间隔，也从很大程度上决定了多用户检测算法能否在工程

上加以实现。因此，设计一种处理时延小的匹配滤波器对多用户检测器是非常有意义 [5]。

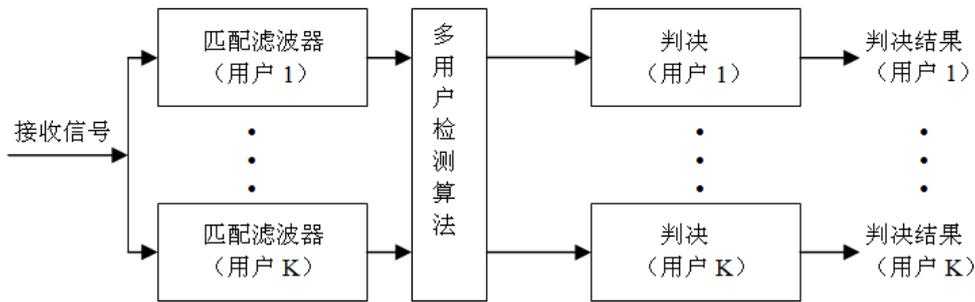


图2 多用户检测技术原理框图
Fig.2 block diagram of multi-user detection

多用户检测匹配滤波器与同步捕获匹配滤波器的工作原理相同，都是利用伪随机序列尖锐的自相关性完成检测，但是多用户检测匹配滤波器与以往同步捕获匹配滤波器有一定区别。首先，处理的数据不同，由于码分多址的引入，通信信道中的各个用户都采用相同的频谱传输信息，各个用户采用唯一的码序列进行区分，多用户检测匹配滤波器的输入数据为多个用户扩频基带信号的叠加，表达式为 [6]：

$$r(t) = \sum_{j=0}^K \sum_{i=-\infty}^{\infty} A_j b_j s_j(t - iT - \tau_j) + n(t)$$

其中 A_j 为第 j 个用户的接收幅度， $b_j(i)$ 为第 j 个用户在时间 $t \in [iT, (i+1)T]$ 内的传送符号 (± 1)， $s_j(t)$ 为第 j 个用户的特征波形， T 是符号 (比特) 间隔， τ_j 表示第 j 个用户的延时， $n(t)$ 是高斯白噪声 [7]。而同步捕获匹配滤波器输入的数据为同步头序列。其次，两种匹配滤波器的内部结构不同，多用户检测匹配滤波器是工作在码同步的前提下，匹配滤波器内部每接收完扩频码长度个数据进行一次与本地序列对位相乘的运算，所以在多用户检测匹配滤波器内部不再是移位寄存器，而是数据存储器，由于运算时数据段是独立的，所以在多用户检测匹配滤波器中增加了数据缓存器来存储待处理数据。最后，两种匹配滤波器的工作时钟频率不同，多用户检测匹配滤波器的工作时钟频率可以与输入数据的工作时钟频率相同，而同步捕获匹配滤波器要对输入数据进行过采样，所以其工作的时钟频率一般为几倍的输入时钟频率。

多用户检测匹配滤波器的基本结构如图 3 所示。多用户检测匹配滤波器主要由数据缓存器、乘法数据存储器、多输入累加器，本地码序列寄存器构成。

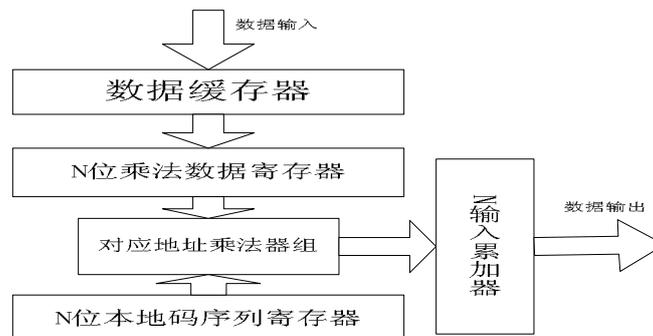


图 3 匹配滤波器的基本结构
Fig.3 the basic structure of matched filter

3 多用户检测中匹配滤波器的硬件实现

基于 FPGA 的系统的设计,一般会采用模块化设计。模块化设计不仅使系统的组成部分直观化,而且在系统修改、升级等需要对电路做出调整是,只需要做尽可能小的改动,减少了不必要的工作量。还有就是各种模块可以很容易被移植和复用^[8]。设计中将多用户检测匹配滤波器划分为数据缓存器模块,乘法器模块和累加器模块三个模块,较普通匹配滤波器结构增加了数据缓存器模块,因为多用户检测器工作在实时的通信系统中,所以要求具有实时地接收和处理能力。把数据缓存器模块集成在匹配滤波器中能达到缓存数据与处理数据相互配合,提高处理效率,减小不必要的处理时延。下面对每个模块的设计进行详细阐述。

3.1 数据缓存模块

在通信系统同步的状态下,数据是连续输入到匹配滤波器,为了保证接收连续和处理连续,本设计中的数据缓存器采用乒乓操作结构设计,乒乓操作结构框图如图 4 所示,乒乓操作结构的最大特点是通过“输入数据选择单元”和“输出数据选择单元”按节拍、相互配合的切换,将经过缓冲的数据流没有停顿地送到“数据流运算处理模块”进行运算与处理。把乒乓操作模块当做一个整体,站在这个模块的两端看数据,输入数据流和输出数据流都是连续不断的,没有任何停顿^[9]。

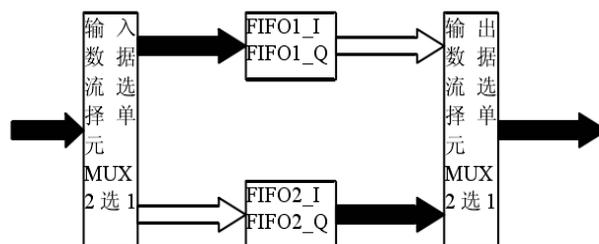


图4 乒乓操作结构图

Fig.4 Block diagram of ping-pong structure

设计采用扩频序列为 31 位的 m 序列,数据缓存器包含两个深度为 31 的存储器,通过合理的设计两片存储器的使能信号是两片存储器按节拍相互配合。仔细进行时序分析,可以发现此结构最大可为后续处理单元提供 31 个时钟的延时(针对本设计),如果输出采用并行输出,此种数据缓存结构还可以高效实现串并转换功能。设计中应注意以下几点:1、程序中每条时钟敏感语句都占用一个时钟,所以设计者要以调试结果为准,合理安排时序。2、由于第 1 条原因导致对使能信号要提前处理,才能保证读写连续,否则会出现错误结果。

3.2 乘法器模块

在硬件设计中乘法器往往要消耗大量的硬件资源,特别是码长较长时。在通信系统中把二进制中的逻辑 0 对应实际的-1 电平,逻辑 1 对应实际的+1 电平,所以本地每个伪码寄存器中存放着+1 或-1。由常识可知,一个数乘以 1,结果就是乘数本身,一个数乘以-1,结果是乘数的相反数。回到本系统,设计中二进制数为有符号数,并且采用补码表示,设计中输入数据为 6 位二进制数,如 111110(-2),当与其对应的本地码为 1 时,输出结果为 111110(-2),当与其对应的本地码为-1 时,输出结果为 000010(+2),即输出结果为输入数据的补码。总结以上运算规律,可利用简单的判断语句实现多用户检测匹配滤波器中的乘法器,采用此方法避免了乘法运算对硬件的消耗,也大大提高运算速度。改进乘法器的原理框图如图 5 所示。

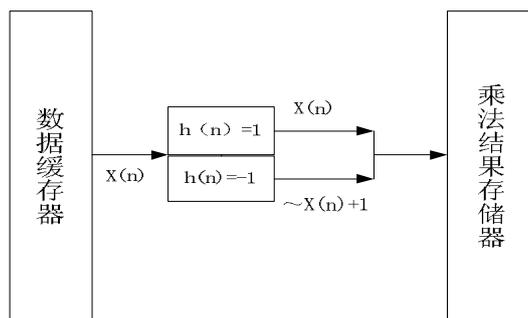


图5 改进乘法器原理图

Fig.5 Improved multiplier block diagram

由于乘法器模块的输出要作为累加器模块的输入，如果采用串行输出，累加器模块要进行 31 次(针对本设计)串行加法，使得运算速度大打折扣。本设计为了提高效率和减小时延，采用流水线结构累加器，所以乘法器模块的输出采用并行输出。

3.3 累加器模块

由于设计中匹配滤波器里集成了数据缓存器模块，所以在匹配滤波器内部可以很方便地对输入数据进行串并转换，这给累加器模块设计带来了很大的优化空间。乘法器模块除了完成本地伪码序列与接收数据对位相乘外，同时完成了数据的串并转换。设计中累加器模块采用 5 级流水线结构，每两个数据为一组，因为流水线结构要求每级中各个处理单元的处理速度相同，而乘法器模块并行输出 31 路数据，为了满足流水线设计要求人为的为累加器模块增加了一路数据为 0 的输入。具体设计为：第 1 级把 32 路数据分成 16 组，每组的两个数据做加法，如 $datain[0]+datain[1]$, $datain[2]+datain[3]$ ，第 1 级输出 16 个运算结果经过锁存器锁存作为第 2 级输入，第 2 级把 16 路数据分成 8 组，运算原理同第一级，接下来 3 级运算结构同理。流水线累加器的原理框图如图 6 所示。

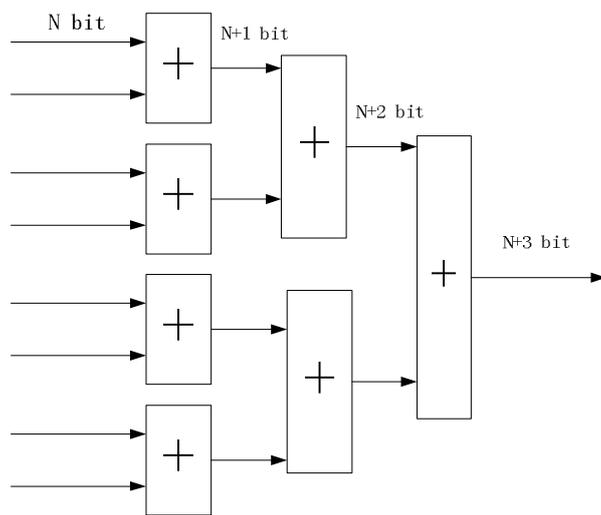


图6 流水线累加器原理图

Fig.6 Pipelined accumulator schematic

传统的累加器为了防止累加结果溢出，通常每次累加都要把输出结果位宽增加 1 位，设计中累加器要对 31 个 6 位二进制数求和，输出结果最多可能 6+31 位。而采用了流水线结构后累加器的第 1 级为 16 个 6 位加 6 位的加法，输出结果为 7 位。第 2 级为 8 个 7 位加 7 位的加法，输出结果为 8 位。以此类推第 5 级为 10 位加 10 位的加法，输出结果为 11 位。大

大节省了硬件资源。流水线设计实际是以面积换取速度，即以消耗更多的硬件资源来换取处理速度的提高。

4 仿真结果及分析

利用 Xilinx 公司的 Modlsim SE 6.1F 对多用户检测匹配滤波器进行功能仿真，结果如图 7。其中 clk 为时钟信号，datain 为数据输入端，输入数据宽度为 6 位，仿真中接收的数据是两个用户扩频数据的叠加。rst 为置位信号(低电平有效)，pn1 和 pn2 分别为用户 1 和用户 2 的伪码序列(即扩频码)，value1 和 value2 分别为用户 1 匹配滤波器和用户 2 匹配滤波器的输出结果。匹配滤波器输出结果中正数对应与用户数据的+1，负数对应于用户数据的-1，由图可以看出匹配滤波器实现了对接收数据的用户分离。



图 7 匹配滤波器功能仿真
Fig.7 matched filter function simulation

下面为通过 Synplify 7.6 硬件综合后得到的多用户检测匹配滤波器的性能分析报告。

```

Performance Summary
*****

Worst slack in design: 1.467

Starting Clock      Requested   Estimated   Requested   Estimated
Frequency           Frequency   Frequency   Period      Period      Slack
-----
top|clk             100.0 MHz  117.2 MHz   10.000      8.533       1.467
=====
    
```

由性能分析报告可知系统的最坏延时 1.467ns，在系统要求 100.0MHz 本设计可以适应 117.2MHz，设计方案的时序满足要求。

下面为通过 Synplify 7.6 硬件综合得到的多用户检测匹配滤波的资源利用报告。

Device utilization summary:

Selected Device : 3s400pq208-4

Number of Slices:	1030	out of	3584	28%
Number of Slice Flip Flops:	1503	out of	7168	20%
Number of 4 input LUTs:	1160	out of	7168	16%
Number of bonded IOBs:	23	out of	141	16%
Number of GCLKs:	1	out of	8	12%

设计中利用 FPGA 中的 BlockRAM 代替设计中的存储器,大大节省了资源。由于现在的 FPGA 的集成度很高,使得用资源换取处理速度,在硬件设计中可以进行适当的折衷。上分析的结果验证了方案的可行性。

5 结语

本文针对多用户检测匹配滤波器自身功能和特点,给出了一种以 FPGA 为平台的设计方案,方案中利用了乒乓操作结构,流水线结构等硬件设计技巧。文中对每个模块的设计进行了详细介绍,最后通过仿真验证了方案的资源利用和处理速度情况。

[参考文献] (References)

- [1]王华奎,李艳萍.移动通信原理与技术[M].北京:清华大学出版社,2009.
- [2]田耘,徐文波.Xilinx FPGA 开发实用教程[M].北京:清华大学出版社,2008.
- [3]何在民,胡永军,魏敬法等.基于 FPGA 的数字匹配滤波器的实现[J].时间频率学报,2008,31(2):114-120.
- [4]郭经红,尤肖虎,程时昕.WCDMA 系统中匹配滤波器的 FPGA 实现[J].通信学报,2001,22(1):53-59.
- [5]杨冬,徐伯庆.基于 Verilog HDL 的 CDMA 并行匹配滤波器设计[J].计算机工程与设计,2005,26(9):2448~2450.
- [6]Georgios B.Giannakis,Yingbo Hua,Petre Stoica etc.Trends in Single-and Multi-user Systems,Beijing,Posts&Telecommunications Press,2005,267-314.
- [7]李艳萍.CDMA 移动通信系统上下行链路多用户检测算法研究[D].太原:太原理工大学,2008.
- [8]田耘,徐文波,张延伟.无线通信 FPGA 设计[M].北京:电子工业出版社,2009.
- [9]夏宇闻.Verilog 数字系统设计教程(第2版)[M].北京.北京航空航天大学出版社,2008.