

# FPGA System Design

## 布局布线后的时序分析和时序校正

- 频率
- 相位
- 抖动
- 偏移

管脚的映射

## 时序考虑事项和约束定义

无法确定的时候，工具尝试用零裕量或正裕量来满足时序

OFFSET OUT

设计伪通路来防止异步时钟信号互相影响

False PATH

## 针对运用选择适合的器件 (FPGA, CPU, DSP)

- 例如：安全视频监控
- 多信道输入任务和信号处理任务
- 音频视频输入接口
- DDR存储器
- 以太网控制器接口
- PCI Express
- Block BRAM (FIFO)
- Embedded Micro Processor

## FPGA的选择因素

- IO数量
- 逻辑单元的数量
- Block BRAM的大小
- 内部DSP单元
- 时钟控制模块

## 时钟要求的分析

- 具有足够的时钟功能
- 具有足够的PLL, DCM和缓冲器?
- 全局时钟IO缓冲器是否支持要求的最高频率?

## 核生成与IP集成

- PLL
- DCM
- 时钟控制模块
- FIFO, BRAM
- 确认PC主板的频率与PCI-E是否一致?
- 基址寄存器 (BAR) 以及存储器映射还是IO映射?
- PCI Express
- 桥接
- Subtopic 各个FPGA分别使用一个时钟复位模块
- BUFR/BUFIO
- 支持的参数: LVTTTL, LVCMOS
- IOB

设计的关键，此时所做的决定将确定最终设计是否能满足时序要求。

## 初始布局规划

- 组的选择和IO时钟信号的分配，和布局
- 组选择
- DDR布局，视频音频接口布局，数据传输接口
- 引脚分配