



## ISE 设计套件 11.1：打造业界首个特定用户 FPGA 设计环境

作者：Mark Goosman

ISE® 设计套件 11.1 的发布是赛灵思 FPGA 设计环境发展历程中的重要里程碑，因为其标志着一系列工具套件在业界的首次推出——其中每个套件均采用独特组合与配置，能够充分满足不同设计人员的需求与偏好。理念的根本性转变是赛灵思战略计划的组成部分，旨在创建目标设计平台，为各个行业的 FPGA 解决方案开发打造更简便、更智能以及战略可行性更高的设计平台。因此，在仔细阅读该 ISE 版本中所提供的新功能与优势之前，关键要先了解开发目标设计平台的基本目的及其在赛灵思定义和推出未来技术版本中的作用。

© 2009 年赛灵思版权所有。Xilinx、Xilinx 徽标、Virtex、Spartan、ISE 以及本文涉及的其他指定品牌均为赛灵思公司在美国及其它国家的商标。FlexRay 是 FlexRay 协会的许可商标。PCI、PCIe 以及 PCI Express 均为 PCI-SIG 的商标，须得到许可后才可使用。所有其它商标均是其各自所有者的财产。

## 目标设计平台 —— 背景与概要

在当今举步维艰的全球环境中，赛灵思 FPGA 在片上系统级硬件设计、实施以及修改方面提供的灵活性具有前所未有的重要性，同时也使整个行业、公司与工程师之间实现了更为广泛的交融。在日益严峻的业务挑战以及不断发展的产品要求这两股力量不断的挤压之下，赛灵思客户逐渐认识到必须利用赛灵思 FPGA 带来的更高可操作性扫除障碍，否则就会造成严重的性能损失、无法忍受的延迟、不断攀升的成本以及无法面对的风险等。总之，FPGA 在 25 年前的问世所掀起的可编程革命已演变成为当今一种可编程技术势在必行的现实。

为了更有效地帮助客户应对瞬息万变的业务与产品需求，赛灵思需要在两个基本方面不断取得重大发展：

- I 各个工艺节点的可编程硅芯片创新能在测评 FPGA 的每个关键指标方面带来业界领先的价值，如价格、功耗、性能、密度、特性以及可编程性；
- I 使用更简便、智能性更高以及市场与用户针对性更强的设计平台，这就是赛灵思的目标设计平台。

赛灵思目标设计平台是硅芯片 (FPGA)、工具、电路板、IP、参考设计以及软件的集成组合——赛灵思从战略上将它们专门融为一体，主要针对其客户群中四种主要用户特征的要求和偏好以及客户设计方案的首选增长市场。经过近 10 年的磨练，赛灵思坚信目标设计平台能够提高其 FPGA 在嵌入式和 DSP 工程设计领域的生存能力及受欢迎程度。

赛灵思与其庞大的产业环境团队通力协作，逐渐建立了最大的、超越所有 FPGA 厂商的工具、特定市场 IP、参考设计、软件培训以及工程设计支持服务的强大帝国。其面临的挑战是如何为形形色色的用户提供这些平台组件的理想组合。而目标设计平台的诞生则可以简化上述过程（见图 1）。

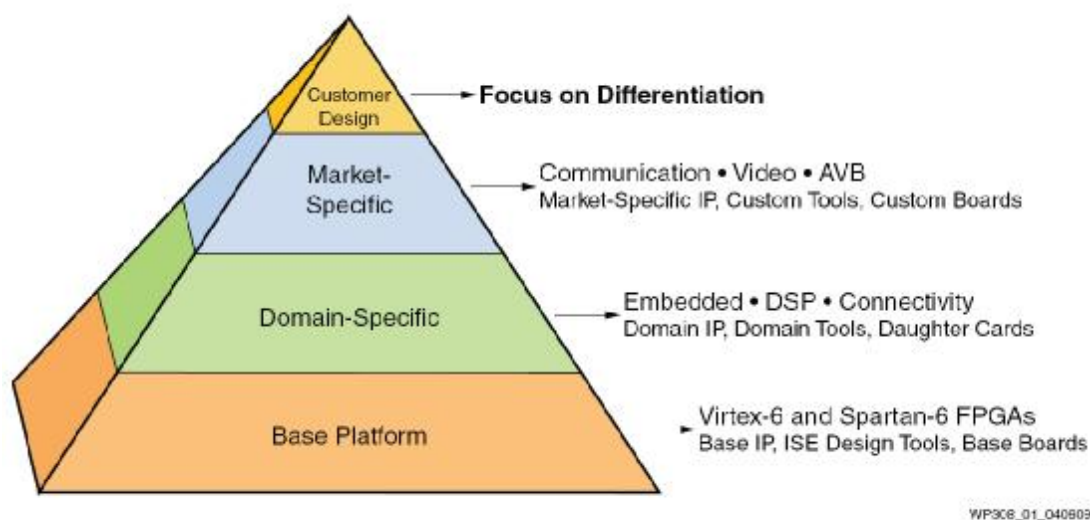


Figure 1: Targeted Design Platforms

图 1: 目标设计平台

赛灵思目标设计平台使客户能够缩短开发应用基础架构的时间,进而可以有更多时间在其设计中创造独特的价值。每个新型 FPGA 的基本平台都可提供所有 FPGA 设计人员所希求或需要的平台组件。这些组件可通过特定领域平台为特定领域的工程师(即:逻辑/连接、嵌入式、DSP 或系统设计人员)带来价值。

赛灵思设计库中的大部分 IP 与参考设计均专门针对汽车、消费类电子产品、军事/航空、通信、AVB 与 ISM 等特定市场,因而最适用于特定市场平台,其中众多平台都是赛灵思携手第三方生态系统合作伙伴进行设计和实施的。目标设计平台能够从根本上简化交付程序,把准确的平台组件交付给在准确的市场领域工作的准确的工程师。同样重要的是,它们能够让工程师在开发过程中占据很高的起点,从而使其不用关心设计中的繁缛末节,将更多精力专注于创造差异化价值。

如欲了解有关目标设计平台的更多详情,敬请参阅 WP306,即《赛灵思目标设计平台:推动“可编程技术势在必行”之趋势》。

至此我们已经了解了创造目标设计平台的背景与目的,现在可以进一步了解 ISE 设计套件 11.1 如何实现众多优势以及如何推动创新战略的实施。

## ISE 设计套件 11.1 的新特性

ISE 设计套件 11.1 从真正意义上实现了赛灵思 FPGA 设计环境的新一代发展进步,其采用全新架构实现三个截然不同而又彼此相关的目标:

- I 提高设计人员工作效率;
- I 缩短设计完成时间;
- I 改善设计结果的质量。

虽然此版本带来的变化太多而无法一一赘述,不过,通过探讨更显著的改进可以将该工具套件所能带来的巨大优势展现给正在奋力推动可编程技术发展的赛灵思客户们。

## 大大提高设计人员工作效率

面向特定领域的目标设计平台在提高生产力方面取得了重大突破,其能够在未来数十年带来源源不断的利益。只要看一看高级可编程器件在今天实现的丰富功能就会明白,单个设计流程或环境已经无法满足所有设计人员的需求。系统设计人员、算法设计人员、软件开发人员和逻辑设计人员都具有不同的用户特征,各自对设计方法和相关设计环境具有独特的要求。

采用 ISE 设计套件 11.1 版,这种多样化的设计人员特征现在具有四种特定领域工具流程可供选择:逻辑版本、嵌入式版本、DSP 版本以及系统版本(见图 2)。

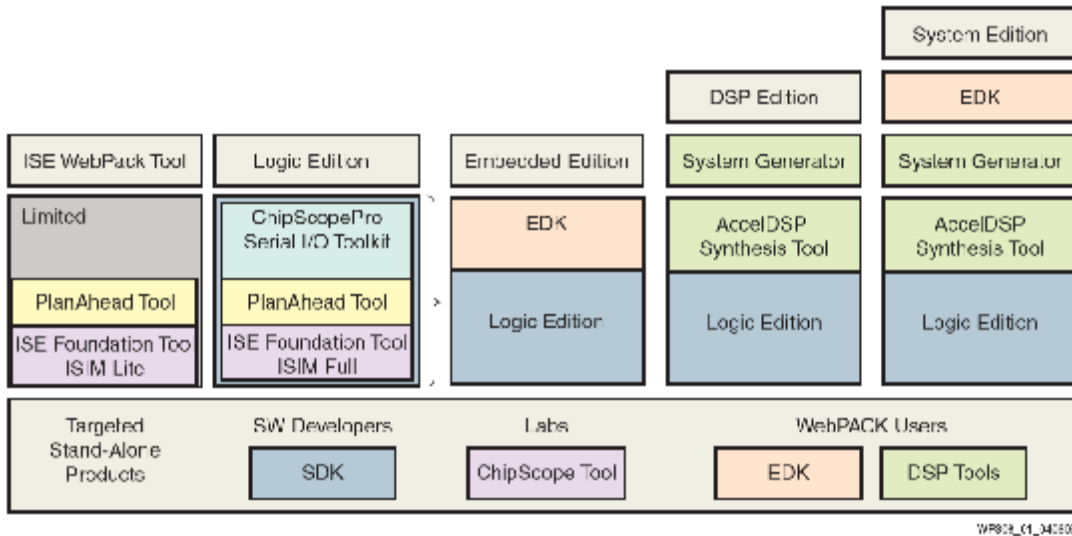


Figure 2: ISE Design Suite 11.1 New Tool Flows

图 2: ISE 设计套件 11.1 新工具流程

除了此工具套件，每个流程还包含特定领域/特定应用 IP 与参考设计。赛灵思将一如既往地为客户提供其工具流程的器件限制版本 ISE WebPACK™ 软件。此外，客户还可采购软件开发套件 (SDK)、ChipScope™ Pro 分析器、嵌入式开发套件 (EDK)以及赛灵思 DSP 捆绑套件，其中包括 AccelDSP™ 综合工具和 System Generator for DSP，可以作为独立工具添加到其流程中。

有助于提高 ISE 设计套件 11.1 生产力的其它重要变化包括：

- 1 提高了 DSP 项目浏览器 (Project Navigator) 与系统生成器、平台工作室 (EDK) 与 CORE Generator™ 系统之间的互操作性。这些改进包括：能够更好地处理源文件和约束文件，不需要用户的专门干预，在基础工具和领域优化的工具之间提供更加无缝的设计流程；
- 1 提高 System Generator for DSP 与 SDK 的更紧密集成 —— SDK 是用于开发嵌入式处理器软件的设计环境，其支持算法开发人员利用 SDK 软件开发环境完成在嵌入式处理器中运行的嵌入式设计部分；
- 1 当前的 PlanAhead™ 工具包含在所有 ISE 设计套件 版本中，其无与伦比的设计分析和布局规划功能可帮助设计人员快速地分析设计与实施结果，以便找出性能问题，从而使设计人员能够轻松采用布局规划约束条件来优化设计性能和提升设计结果的一致性。独特的 PlanAhead 工具层级功能使设计人员能够利用基于模块的设计方法，来缩短设计周期、提高模块级性能并能在后续多次反复工作过程中始终保持稳定性能。

## 显著加速设计进程

ISE 设计套件 11.1 可优化设计流程的每个步骤，从而实现更多次实施周期（每天进行的设计反复）。最大限度地增加每天进行的设计反复是更快速投产的关键。以下是可实现更多显著优势的主要变化：

- l 与 ISE 设计套件 10.1 相比，XST 综合功能的改善可使平均编译速度加快 2 倍；
- l 支持多线程布局布线；SmartXplorer 支持计算场系统的负载均衡功能（负载均衡功能以及 Sun 计算网格引擎）；
- l 利用 PlanAhead 软件一键插入 ChipScope Pro 工具允许用户利用丰富的 PlanAhead 图形化工具界面插入 ChipScope 工具探头内核；
- l 对 PlanAhead 软件设计与分析工具的全面利用可显著简化引脚配置，从而实现轻松的前期 I/O 分配；
- l 第二代 SmartGuide™ 技术使用户在对关键路径之外的部分进行小的设计更改时，可以将重新实施的部分限制在受影响的区域。这种专有的赛灵思技术可以业界最快速的设计反复，同时也极大降低了设计流程后期的设计风险；
- l 用户现在可以在 Base System Builder 内创建采用双硬和/或软内核处理器的嵌入式设计；
- l 时序驱动的布局布线工具可提供最先进的技术，能够帮助客户更高效、更迅速地满足时序规范要求。借助对物理综合优化的支持，用户可以在一次性完成可满足设计性能目标的综合之后创建物理优化设计；
- l SmartXplorer 利用分布式处理技术管理多个实施路线，以获得理想的设计结果。SmartXplorer 通过并行工作可调查实施路线结果，从而迅速实现最佳设置。可将 SmartXplorer 用于更好地利用多个计算平台，以便在统一的平台环境中更快速地实现时序收敛。结合综合功能的时序调整，SmartXplorer 可帮助设计人员将性能平均提高 10%；
- l 通过增加对 Red Hat Enterprise Linux 4 WS（32 与 64 位）的支持，扩展了对 System Generator for DSP 的平台支持。对存储器的改进可以提供基于标准平台的高效编译，能够在采用 32 位操作系统的中型工作站中编译超大规模设计；
- l System Generator 目前已与 XReport 集成，而且 AccelDSP 综合工具具有新的报告，可以帮助设计人员更快速地改进 QoR。

## 最佳的设计结果

ISE 设计套件 11.1 可提供有助于用户取得最佳设计结果的工具与技术。通过在所有 ISE 设计套件配置版本中使用全功能型 PlanAhead 设计与分析软件，用户可以对其设计获得无与伦比的设计可视性，从而实现更快的性能、更高的器件利用率以及更佳的设计质量。此外，EDK 与 ISE 软件项目浏览器的集成改进可以利用平台工作室实现 UCF 信息的自动处理。项目浏览器与 EDK 更好的互操作性支持更无缝的开发环境。

ISE 设计套件 11.1 所实现设计结果质量改进的其它方面包括：

- l 在 VHDL 生成过程中通过 CORE Generator 工具实现 AccelDSP 综合工具到 LogiCORE™ IP 的映射，这一变化使  $F_{MAX}$  显著改善了 2 倍以上；
- l 逻辑重新综合，可以减少放置器中开关单元和时钟门控的数量，从而降低功耗；
- l 无向量功率估算和更高的功率估算精度，可以简化制定前期与精确功率预算的过程；
- l 改进后的 XST 综合，可以提高面积利用率和性能。

## 全面满足设计人员需求

尽管对 ISE 设计套件的改进就其本身而言既丰富又极具优势，但这些改进对设计的实际影响只有在实践应用中与目标设计平台的强大功能结合在一起时才能得到更深入的认识。虽然对于面向用户的方法来说，显而易见的优势是每个用户都能够在领域专用环境中开发特定市场应用，但是这一功能的优势在实践中更加突出、更具吸引力。

以四个设计人员组成的团队为例，其中每个人都来自不同领域，如分别是逻辑设计人员、嵌入式软件工程师、DSP 设计人员以及系统架构师，并且都在开发视频处理设计。巧合的是，除了上述全部改进与变化之外，ISE 设计套件 11.1 还包含各种新增与升级的 IP 内核（见附录 A），其中包括 6 项新增视频与图像处理功能：

- I 像素点缺陷校正；
- I 彩色滤镜阵列内插法；
- I 色彩校正矩阵；
- I 伽玛校正；
- I 色彩空间转换器；
- I 视频缩放。

这个团队中的每个设计人员通常都需要在自己的设计工作中采用相同内核。逻辑设计师可以采用 CORE Generator 系统在其设计中轻松插入相关内核，然后开发可将该内核集成至自己的设计中所需要的 HDL 代码。

DSP 设计人员可将相同 IP 导入到 System Generator for DSP 中。DSP 设计人员可在其最得心应手且最适合其需求的环境中整合该 IP 内核。

此外，系统设计人员还可采用方便的 CORE Generator 系统来访问伽玛校正内核。CORE Generator 工具可生成一个 pcore，以便在为内核提供连线表的同时还为嵌入式软件工程师提供所需的文档与驱动器文件。在嵌入式方法中，这意味着硬件与软件开发工作此时已经分离。系统架构师可以定义如何将 pcore 连接到嵌入式处理器，然后将相关信息提供给嵌入式软件工程师，这样就能使嵌入式软件工程师开始其设计工作，并且集中精力增加软件的差异化。

## 总结

与目标设计平台的内在价值结合在一起时，ISE 设计套件 11.1 能够带来显著的设计环境变化，并能为设计人员的工作效率、设计完成时间以及设计结果带来无与伦比的有利影响。

## 附录 A

ISE 设计套件通过其四个版本提供设计开发、验证以及实施所需的工具与 IP。此外，每个版本还可提供特定领域与特定市场的 IP，以加速完成设计。如欲了解有关可用 IP 示例，请参见表 1。

表 1: 工具套件说明

工具套件	基础平台 IP 示例	领域专用平台 IP 示例	特定市场平台 IP 示例
ISE 设计套件: 逻辑版 I ISE Foundation™, 配有 ISE 设计套件 仿真器 I PlanAhead 设计与分析工具 I ChipScope Pro 与 ChipScope Pro 串行 I/O 工具包	构建块 I 存储器与 FIFO I 算术运算符 (加法器、累加器、乘法器以及复数乘法器等) I 浮点运算符	连接性 I 标准总线接口, 如: PCI™ 与 PCI-X™ 等 网络接口, 如以太网、SPI-4.2、RapidIO、CAN 以及 PCI EXPRESS 等	汽车、工业、科研以及医疗 I CAN、以太网 AVB 以及 FlexRay™ 等。 I 图像处理管道系统、色彩转换矩阵以及色彩滤镜阵列内插等。
	调试与验证 I ChipScope Pro 集成控制器 I 集成型逻辑分析器 I 虚拟输入 / 输出	DSP 功能 I DDS 编译器、FIR 编译器 以及 FFT 等 前向纠错 IP, 如 Reed-Solomon 编 / 解码器以及 Viterbi 解码器等。	有线电信 I 10GB 以太网 MAC 以及 SPI-4.2 等。
	FPGA 架构特性 I 时钟向导 I 存储器接口生成器 (MIG) I RocketIO™ 串行收发器 I 系统监控向导		无线电信 I 3GPP LTE 通道编 / 解码器以及 3GPP 搜索器等。 I CPRI、OBSAI 以及串行 Rapid IO。

表 1: 工具套件说明 (续)

工具套件	基础平台 IP 示例	领域专用平台 IP 示例	特定市场平台 IP 示例
ISE 设计套件: DSP 版 I ISE 设计套件 逻辑版中的所有工具、IP 和技术 I System Generator for DSP I AcceIDSP 综合工具		DSP 功能 I DDS 编译器、FIR 编译器以及 FFT 等 前向纠错 IP, 如 Reed-Solomon 编 / 解码器以及 Viterbi 解码器等。	无线电信 数字上变频器以及数字下变频器等。
ISE 设计套件: 嵌入式版 I ISE 设计套件 逻辑版中的所有工具、IP 和技术 I 具备平台工作室的嵌入式开发包 (EDK) I 具备平台工作室 SDK 的最新“独立”软件开发环境		嵌入式功能 I MicroBlaze 处理器、总线 / 桥接器 IP: PLBv46 以及 FSL 等。 I 外设 IP: I2C 控制器、UART、USB2 以及以太网 MAC 等。 I 存储器控制器: MultiPort 以及 DDR2 等。	汽车、工业、科研以及医疗 I CAN、以太网 AVB 以及 FlexRay 等。 图像处理管道系统、色彩转换矩阵、色彩滤镜阵列内插等。

如欲获得有关可用 IP 的完整列表, 敬请访问: [xilinx.com/ipcenter](http://xilinx.com/ipcenter)。

## 修订历史记录

下表显示了本文档的修订历史：

日期	版本	修订描述
2009 年 4 月 27 日	1.0	赛灵思首次发布。

## 免责声明

本文向您透露的信息（以下简称“信息”）为最终版，不再更改，也不提供任何明示或暗示的担保。请恕赛灵思就您对本信息的使用不承担任何责任。您应负责获得使用本信息所需的权利。赛灵思保留在不另行通知的情况下随时自行对本信息进行更改的权利。对于本信息中所含任何可能错误，赛灵思概不负责修改，也不负责向您通知任何更改或更新情况。赛灵思明确发布免责声明，概不承担与本信息相关的任何技术支持或协助责任。**对于本信息的任何商用性和特定目的的适用性，赛灵思不做任何其他明示、暗示或法定担保，也不确保本信息不侵犯第三方权利。**