

# 逻辑分析仪在FPGA开发的应用

## 1. 引言

随着FPGA设计的日益复杂，如今整个设计流程中的实时验证和调试已经成为当前设计FPGA系统的关键部分。在FPGA系统设计完成前，有两个不同的阶段：设计阶段，调试和检验阶段。设计阶段的主要任务是输入、仿真和RTL设计。调试和检验阶段的主要任务是检验设计，纠正发现的任何错误。本文将提出使用逻辑分析仪和Altera的Logic Analog Interface相结合的方法进行在线调试以达到只使用少量的FPGA管脚查看许多FPGA内部信号。如果使用得当，您可以突破非常棘手的FPGA调试问题。

## 2. FPGA调试方法的比较

在调试和检验阶段需要做出的关键选择是使用哪种FPGA调试方法。基本的FPGA在线调试方法有两种：使用嵌入式逻辑分析仪以及使用外部逻辑分析仪。选择使用哪种方法取决于项目的调试需求。

### (1) 嵌入式逻辑分析仪

主流FPGA厂商针对器件的在线调试都提供了嵌入式逻辑分析仪内核，如Altera的SignalTap II。这些IP核插入FPGA设计中，同时提供触发功能和存储功能。它们使用FPGA逻辑资源实现触发电路，使用FPGA片内存储模块实现存储功能，使用JTAG配置内核操作，并把捕获的数据传送到PC上进行查看。

### (2) 外部逻辑分析仪

由于使用嵌入式逻辑分析仪受制于FPGA的资源，很多大数据量的分析调试难以完成，而采用外部逻辑分析仪如广州致远电子有限公司的LAB6000系列逻辑分析仪，具有高达从200M到5G不等的采样率，同时32通道每通道容量最高达32Mbits（半通道最大64Mbits），很好地解决了使用片内逻辑分析仪调试时数据样本不够充分的问题。除此之外，灵活强大的协议分析触发功能、单机集成多种测量仪器功能等特性更是片内逻辑分析仪所不具备的，在高速FPGA设计调试上进一步缩短了调试周期，帮你轻松完成测量测试的问题。

在这种方法中，可以将感兴趣的内部信号引到FPGA没有使用的FPGA管脚上，然后连接到逻辑分析仪上。这种方法提供了非常深的内存，对于需要采集大量数据进行后期分析的设计人员非常必要。

表1 嵌入式逻辑分析仪和外部逻辑分析仪对比

	嵌入式逻辑分析仪	外部逻辑分析仪
FPGA管脚	不使用额外的测试FPGA管脚	需要较多的用于调试的FPGA管脚数量
探测	使用现有的JTAG/FPGA管脚，探测简单	探测方法稍复杂
内部资源	内存深度与器件资源大小有关	不使用FPGA内存资源
工作模式	只能进行状态分析	可做各种分析

这两种方式各有优缺点，那到底有没有一种方法可以结合二者的优点，从而加速FPGA系统的实时调试呢？

使用逻辑分析仪和Logic Analog Interface相结合进行FPGA调试

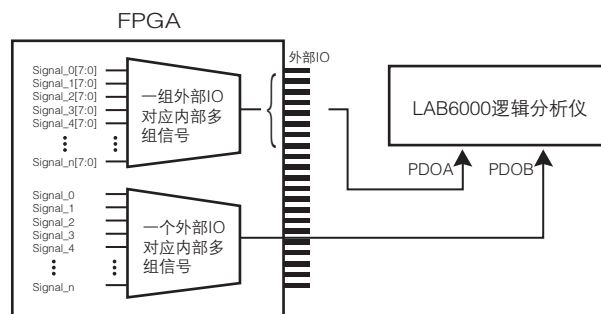


图1 总体结构框图

使用外部逻辑分析仪和Logic Analog Interface相结合的方法来进行FPGA的调试的方法结构框图如图1所示，既可用有限的FPGA管脚来观察更多的内部信号，内存深度又不受FPGA资源的限制，完全结合了上文中提到的两种测量方法的优点。

Logic Analog Interface Editor是Altera公司开发的Quartus集成开发环境中自带的一个用LAI在线调试的FPGA接口软件。通过编辑相应的设置，可以使内部的多个信号分时复用同一组FPGA管脚，再通过逻辑分析仪来观察想要观察到这些内部信号，需要查看其它与其复用的信号时，无需重新编译，只需要将如图1所示中的Logical View窗口中的任一个Bank进行右击，然后选择connect bank即可。

打开开发工具提供的逻辑分析仪接口编辑器，如图2所示，有四个窗口：Instance Manager, Logical View, Setup View, and JTAG Chain Configuration

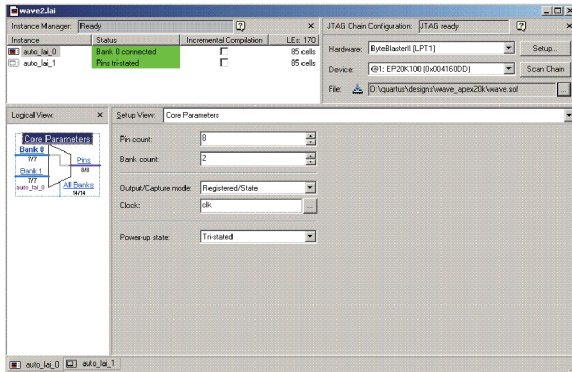


图 2 Logic Analog Interface Editor整体界面

其中Instance Manager窗口是用来显示当前逻辑分析仪接口以及添加和删除接口；

Logical View窗口是对于逻辑接口的一个图形化表达，用鼠标单击任何一个蓝色的部分，都会超链接到其相应的Setup View窗口；

Core Parameters窗口会显示以下配置：

**Pin Count:** 表示希望专用于逻辑分析仪接口的FPGA管脚数量。

**Bank Count:** 表示希望映射到每个FPGA管脚上的内部信号数量。

**Output/Capture Mode:** 选择希望执行的采集类型。可以选择Combination/Timing(组合逻辑/定时模式)或Registered/State(寄存器/状态模式)。

**Clock:** 如果用户选择了Registered/State(寄存器/状态)的捕获模式，这一选项允许选择测试内核的取样时钟。

**Power-Up State:** 这个参数允许指明指定用于逻辑分析仪接口的FPGA管脚的通电状态。

此软件的使用也是十分简单，只需将要共用一组Pins的

Banks信号一一列举出来，并经Pins连接到具体的外部FPGA管脚，一切设置好后进行重新编译，下载，然后就可以通过强大的逻辑分析仪来观察需要观察的任何信号了。

## 2. 使用这种方法的优点:

这种方法既克服了单纯使用外部逻辑分析仪的一些局限性：

用户每次需要查看一套不同的内部信号时，都必需改变设计(在RTL级或使用FPGA编辑器工具)，把希望的信号组路由到调试FPGA管脚上。这不仅耗费时间，而且如果要求重新汇编设计，那么还会改变设计的定时，可能会隐藏需要解决的问题。

一般来说，调试FPGA管脚数量很少，内部信号与调试FPGA管脚之间1:1的关系限制着设计查看能力和洞察力。

又克服了使用内嵌逻辑分析仪时资源不够的问题。Logic Analog Interface Editor在与广州致远电子有限公司的LAB6000系列逻辑分析仪配套使用时，为调试FPGA和周边硬件电路提供了一个完整的解决方案。

这种组合可以：

- 时间关联的查看FPGA内部活动和外部活动；
- 迅速改变FPGA内部探针，而无需重新汇编设计；
- 每个FPGA管脚能够监测多个内部信号。

## 3. 小结

通过在FPGA系统和设计与应用阶段认真考虑调试需求，可以选择相应的调试方法，既简化调试流程，也有助于节约时间。嵌入式逻辑分析仪和外部逻辑分析仪这两种方法各有优缺点，但熟练使用Logic Analog Interface Editor配合外部逻辑分析仪能够快速方便地移动探针，而不需重新汇编设计，同时能够把内部FPGA信号活动与电路板级信号关联起来，在系统调试时能有效缩短产品开发周期。

 广州致远电子有限公司

地址：广州市天河区车陂路黄洲工业区3栋2楼  
技术支持：(020)22644375 28872624

电话：(020)22644372 22644249  
邮箱：Sales@embedtools.com

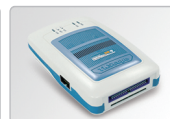
## ◎ 开发工具系列产品



AK-100仿真器



TKScope K9仿真器



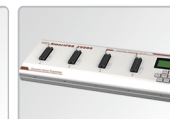
TKScope DK9仿真器



LAB 6000逻辑分析仪



PDO 1000数字示波器



通用编程器



USB/CAN协议分析仪