



ISE12 设计套件隆重发布

张宇清
亚太地区市场及应用总监
赛灵思公司
2010年4月28日

新闻发布时间：2010年5月4日

赛灵思重要里程碑事件

针对目标设计平台推出ISE11
设计套件领域专用方法

28nm 架构发布，具有时钟门
控技术、部分重配置技术支持

ISE12设计套件

2009年
4月

2009年
10月

2010年
2月

2010年
3月

2010年
5月

赛灵思与 ARM 共同宣布
合作开发计划

AMBA 4/AXI-4 规范发布

今天发布 – ISE 12

§ 利用创新的自动时钟门控技术，降低**30%**的动态功耗

功耗

§ 利用设计保存功能、更快的运行速度和第四代部分重配置技术，提高生产力

生产力

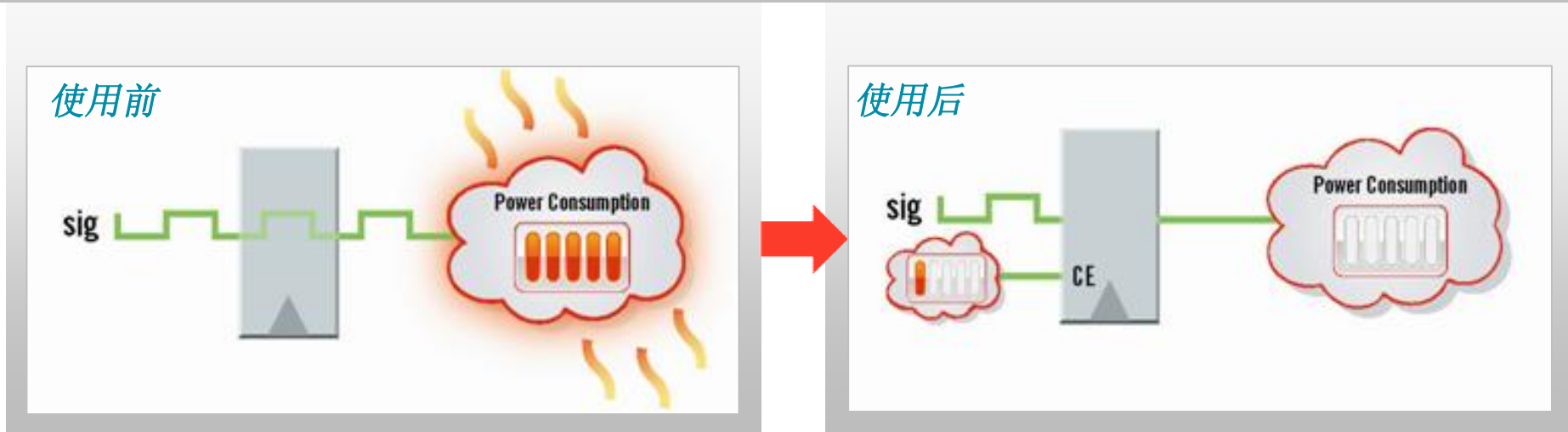
§ 利用符合**AXI-4**规范的IP，进行即插即用 **FPGA** 设计

即插即用

按键式自动降低动态功耗

功耗

降低多
达 **30%** 的动态功耗



$$\text{动态功耗} = \alpha \times f_{clk} \times C_L \times V_{DD}^2$$

设计人员能手动控制 HDL 中的转换活动，但很少这么做……

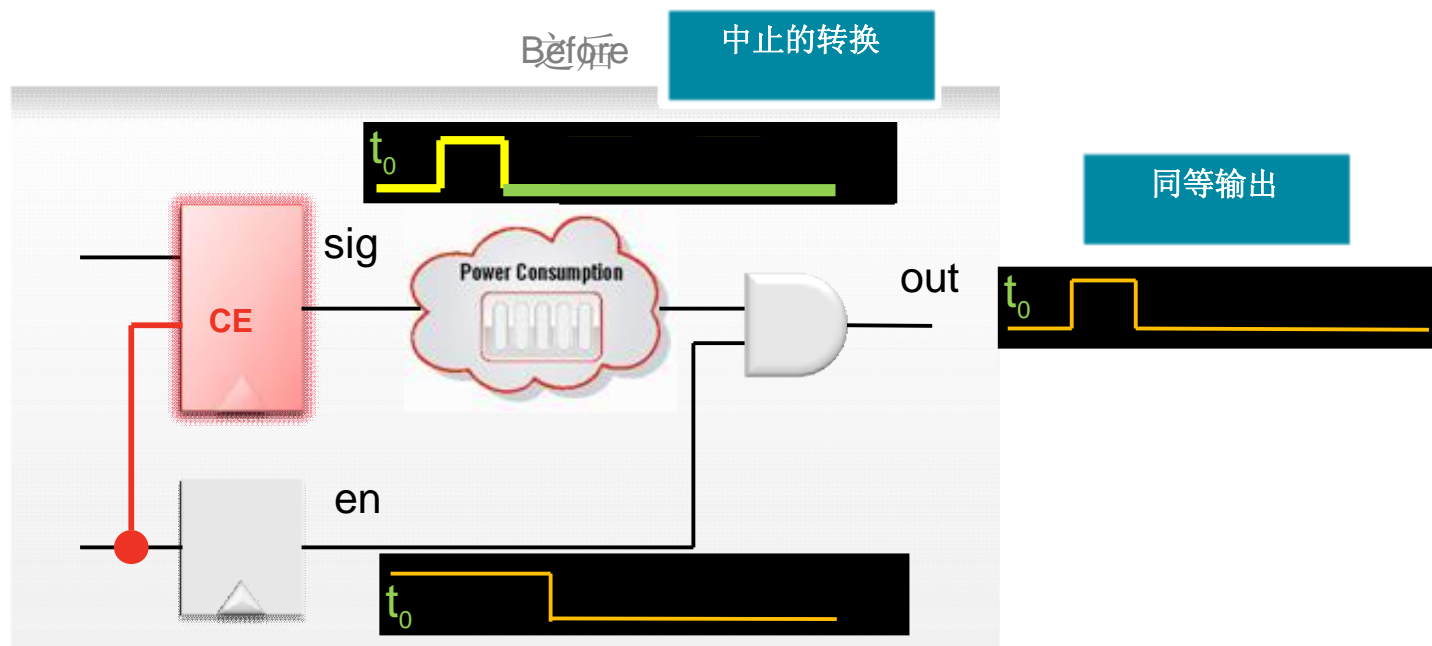
智能时钟门控算法

中止逻辑和互连转换

功耗

§ 算法分析逻辑方程

- 检测对每个时钟周期结果不利的源寄存器
- 根据这些周期的“时钟启用”来禁用寄存器



§ 可为下列设计带来最佳结果

- 加密 / 数据路径设计
- 计算密集型设计

功耗优化演示

功耗

§ 支持3Des 加密功能的 Virtex-6连接套件 (6VLX240T)

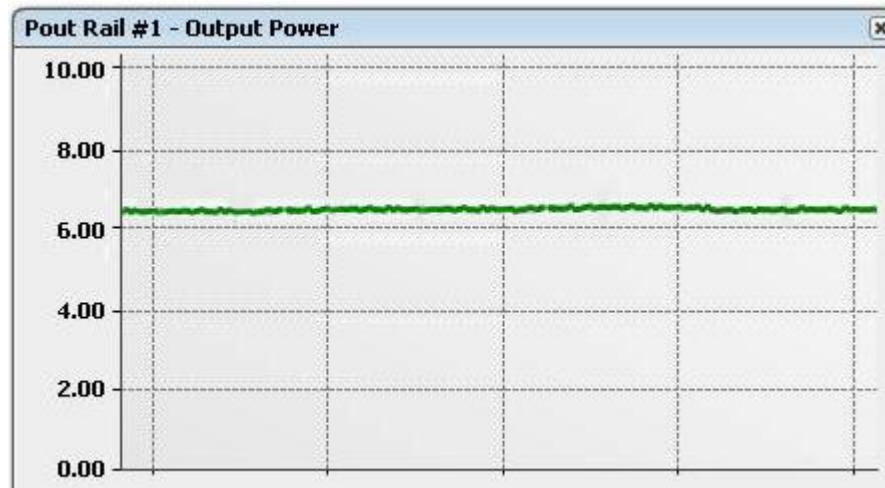
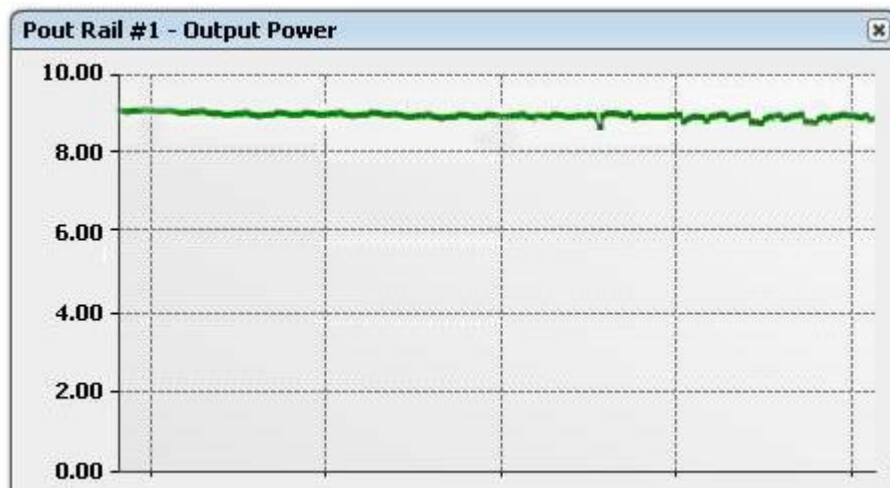
- Slice 利用率达到 96% (LUT 达 86%, FF 达 37%)

§ 智能时钟门控技术

- 关闭不必要的活动
- 降低 41% 的动态功耗



ML605 与 FMC 连接子卡



降低 41% 的动态功耗

今天的发布

§ 动态功耗降低30%

功耗

§ 提高生产力

- 设计保存功能
- 第四代部分重配置技术
- 更快的运行速度

生产力

§ 即插即用 FPGA 设计

即插即用

设计保存确保时序结果重复利用

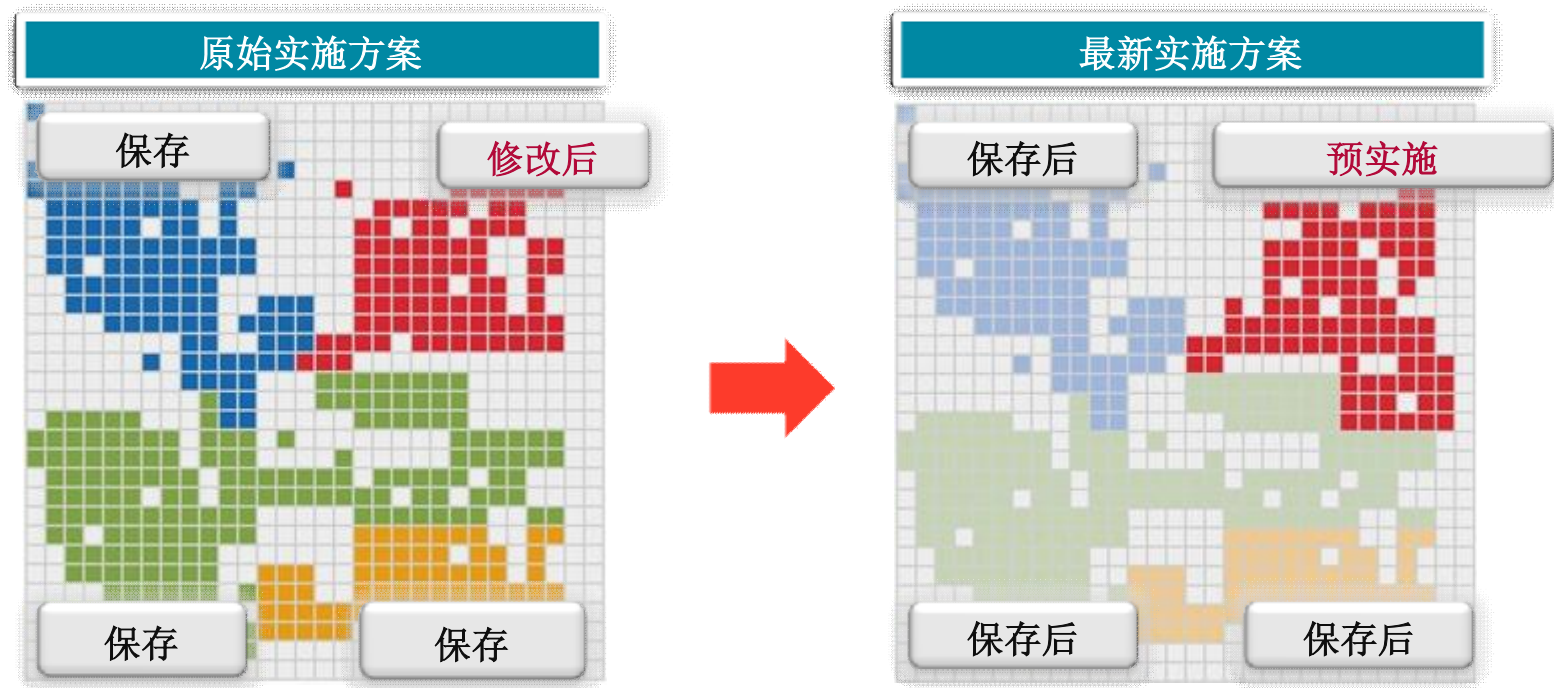
生产力

用户期望

- § 减少时序收敛过程的迭代次数
- § 缩短验证时间
- § 灵活的工作环境

设计保存

- § 锁定时序实施方案
- § 仅验证修改的模块
- § PlanAhead 提供设计保存



第四代部分重配置功能 新的产品化设计流程

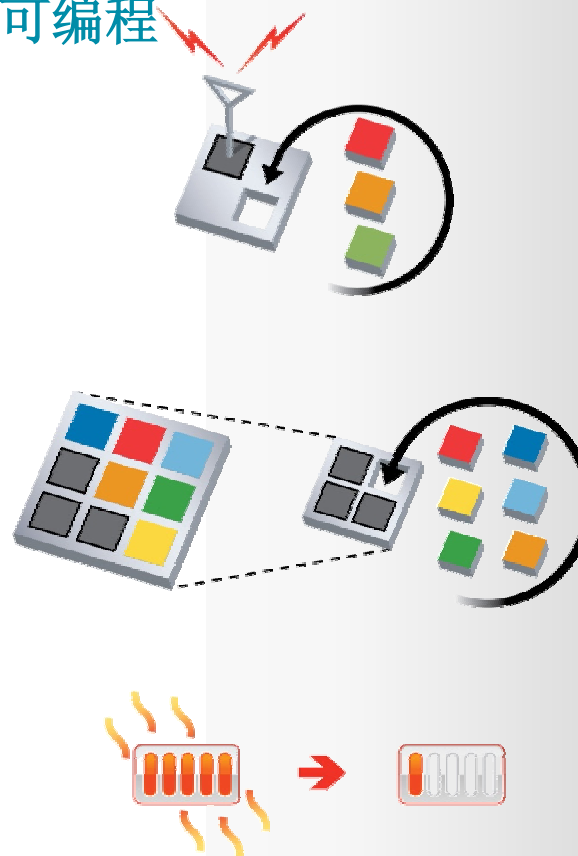
生产力

§ FPGA 在运行过程中仍可实现按需重新可编程

- 更高的系统灵活性
- 减少系统尺寸与成本
- 降低功耗

§ 应用范例

- 光纤传输网络
- 太空应用
- 软件无线电

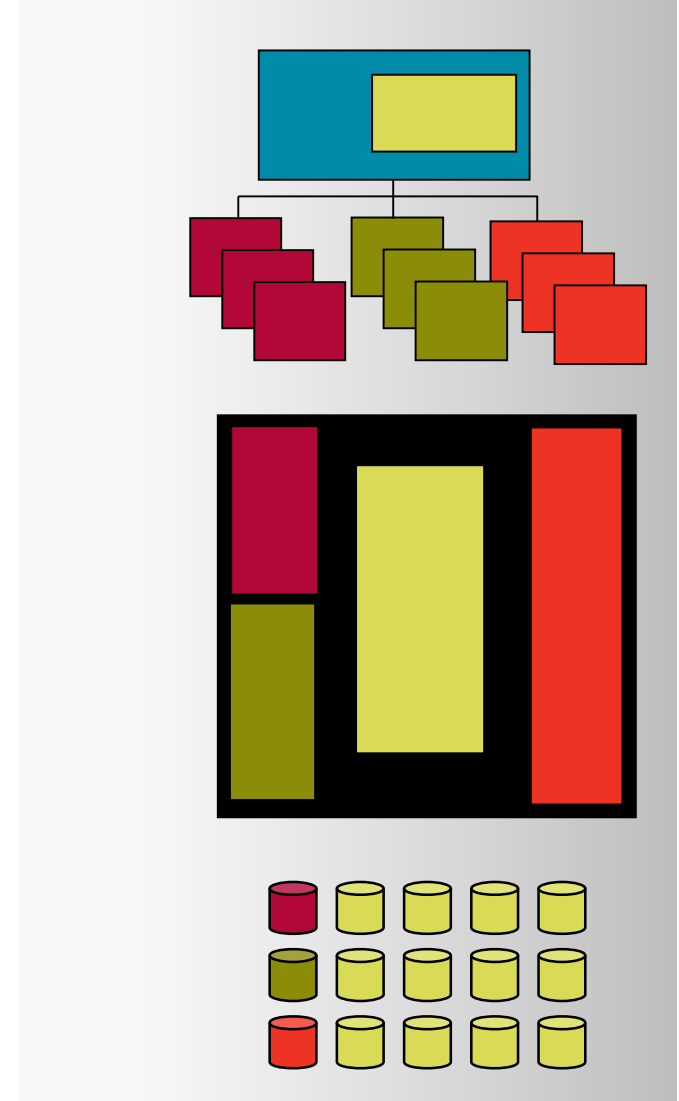


更简单直观的设计流程

简单四步完成设计

生产力

1. 定义静态和可重配置的分区
 - 可在任何一层进行
2. 平面规划以隔离硬件资源
 - 自动控制分区引脚
3. 对每个设计配置进行布局布线
 - 使用标准时序收敛和验证流程
4. 创建全部和部分bit文件
 - 利用分区技术确保保存时序



有线网络应用范例

减少组件数并降低功耗

生产力

§ 客户挑战

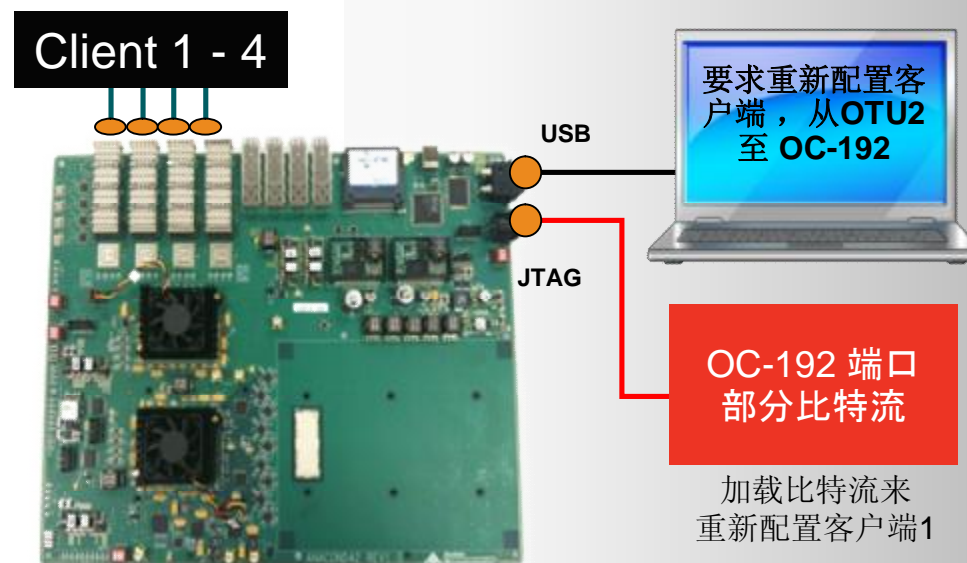
- 实施 40G 光学传输网络 (OTN) 复用转换器解决方案
- 需支持多种协议：**OTU2、OC192/STM-64**

§ 客户实施

- 最初使用3个 Virtex-5 LX330T
- 最终实施方案减少至 2 个Virtex-5 LX330T

§ 使用部分重配置技术

- 可动态调换任何信道上的协议



 Avalon
Microelectronics

减少30%的资源占用并降低30%的功耗

运行时间和 QoR 改进

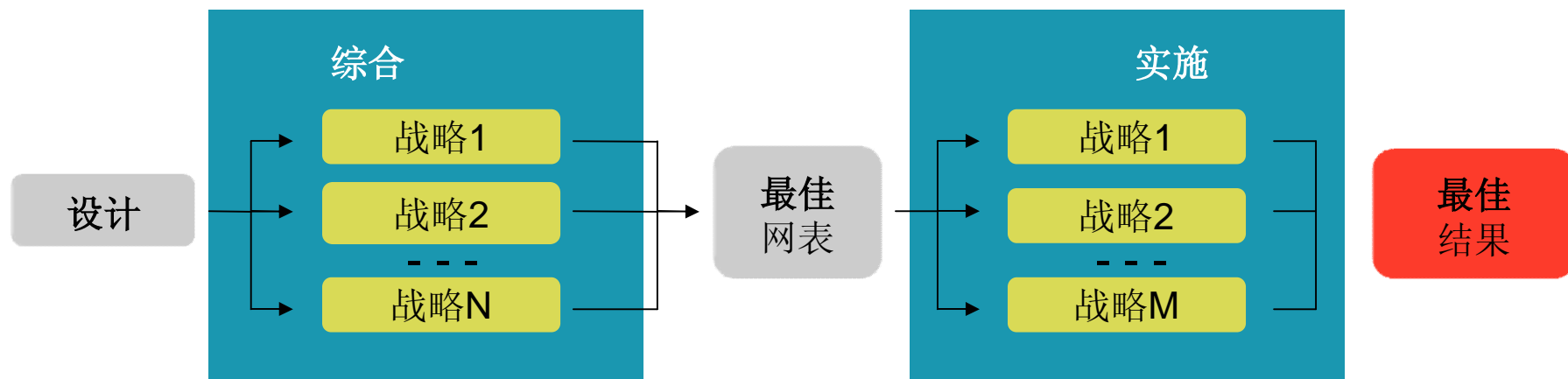
每天完成更多设计修改

生产力

§ 改进大型设计的编译时间

- 综合速度提高 **2 倍**
- 实施速度提高 **1.3 倍** (多线程速度提高1.5 倍)

§ 通过SmartXplorer 综合支持，实现更快的时序收敛



今天的发布

§ 降低 30% 的动态功耗

功耗

§ 提高生产力

- 设计保存功能
- 第四代部分重配置技术
- 更快的运行速度

生产力

§ 即插即用 FPGA 设计

即插即用

支持即插即用 FPGA 设计

即插即用

§ ARM 最近发布了开放式标准互连规范最新版本 4

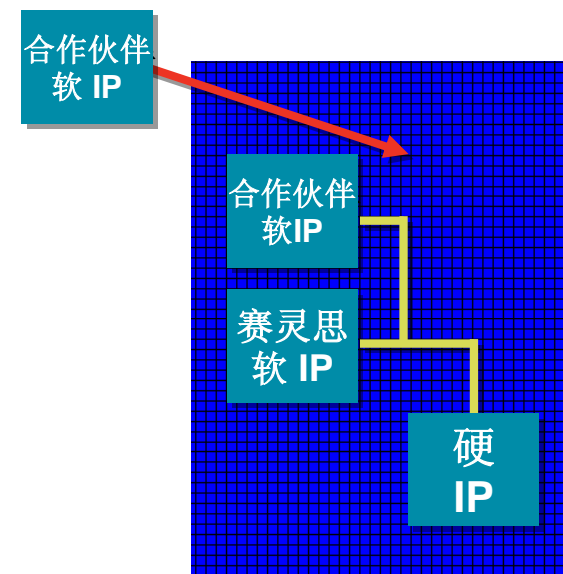
- 赛灵思紧密合作参与了这一开发进程
- 旨在实现高性能处理器和少处理器系统

§ 提供了更广阔的 IP 生态系统，支持即插即用 FPGA 设计

- 赛灵思和 ARM Connected Community 共同开发 IP，满足 FPGA 设计需求

§ 显著缩短在设计中集成 IP 所用的时间

- 用户只需了解一个连接标准



SPARTAN⁶

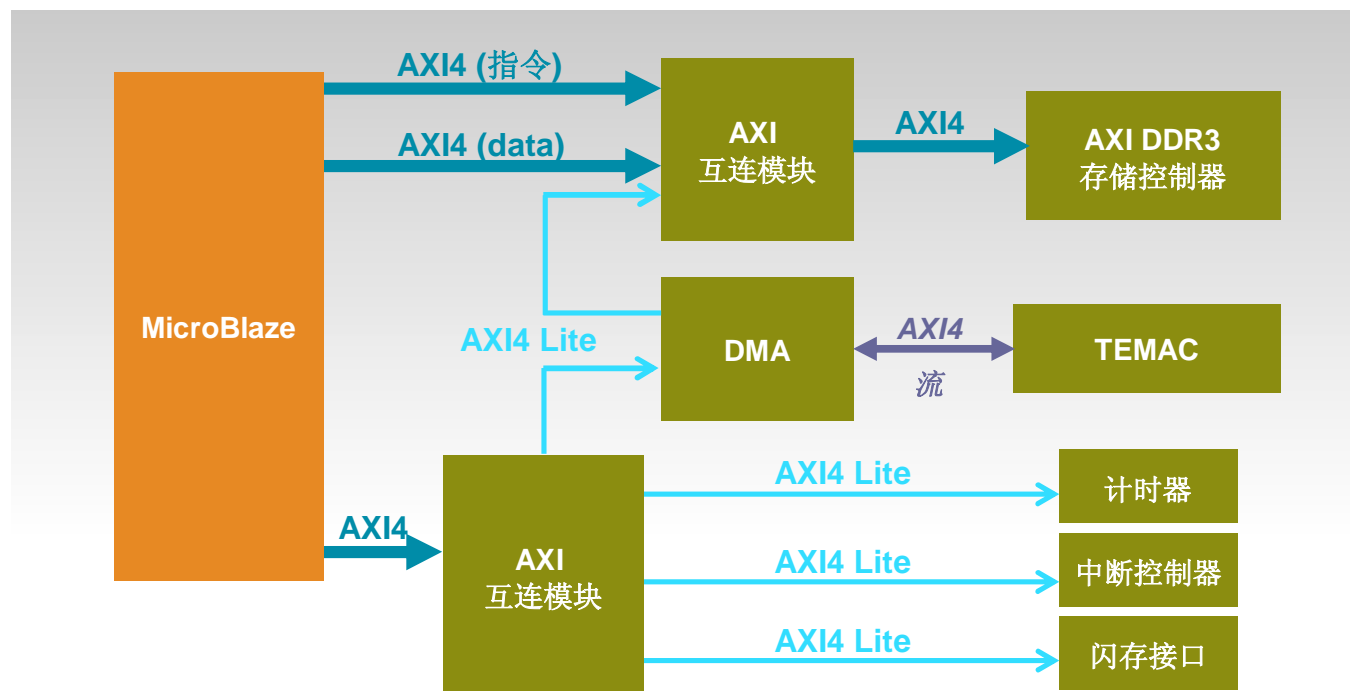
VIRTEX⁶

支持 IP 效率

AXI4 提高用户体验和生产力

§ 针对占位面积和性能优化互连变量

- **AXI4:** 可最大限度地提高接口的数据吞吐量
- **AXI4-Lite:** 面积有效实施，用于 IP 控制与状态检测
- **AXI4-Stream:** 轻松连接至非寻址外设



自 2010 年秋季开始提供 DSP、嵌入式、连接 IP 支持

ISE 设计套件发展蓝图

接下来的几步发展计划

赛灵思为Virtex-6推出智能时钟门控技术，为ISE 设计套件 12.1 中的时序可预测性提高设计保存流程

赛灵思利用对AXI4 的嵌入式、DSP和连接IP支持推动即插即用FPGA 设计

5月
2010

夏
2010

秋
2010

赛灵思为所有用户提供部分重配置功能，并为Spartan-6 提供智能时钟门控技术支持

总结

ISE 12设计套件 是重大发展步骤之一

§ 利用创新的自动时钟门控技术降低30%的动态功耗

功耗

§ 利用设计保存功能、更快的运行速度和第四代部分重配置技术提高生产力

生产力

§ 利用符合AXI-4规范的IP进行即插即用 FPGA 设计

即插即用

ISE12.1 设计套件于 2010 年 5 月 4 日上市