

用 Verilog HDL 实现基于 FPGA 的通用分频器的设计

Design of General Frequency Divider Based on FPGA Using Verilog HDL

罗浩¹ 许艳^{1,2} 仲佳嘉³

Luo Hao Xu Yan Zhong Jiajia

(1.江西理工大学应用科学学院,江西 赣州 341000; 2.武汉理工大学信息学院,湖北 武汉 430070; 3.江西赣州供电公司通信自动化分公司,江西 赣州 341000)

(1.College of Applied Science, Jiangxi Univ. of Science & Technology, Jiangxi Ganzhou 341000; 2. School of Information Engineering, Wuhan Univ. of Technology, Hubei Wuhan 430070; 3. Branch of Communication and Automatization, Jiangxi Ganzhou Electric Power Corporation, Jiangxi Ganzhou 341000)

摘要 在数字逻辑电路设计中,常常遇到一些对时钟分频的需求。本文实现了一种基于 FPGA 的软件化的分频方法,通过对不同的 Verilog HDL 语言程序语句进行比较分析和仿真综合。

关键词 数字逻辑电路设计;分频器;FPGA;Verilog HDL

中图分类号:TP311 文献标识码:A 文章编号:1671-4792-(2008)10-0215-02

Abstract: Due to the limitation of the frequency dividers recently widely used, in this paper, a new software method of frequency dividers based on FPGA is introduced. Comparison and analysis are presented, and synthesis and simulation are performed by different Verilog HDL language program statement.

Keywords: Digital Logic Circuit Design; Frequency Divider; FPGA; Verilog HDL

0 引言

在数字电路中,时钟脉冲信号是最重要的信号之一。一个数字电路往往需要多种频率的脉冲作为驱动,通常采用一个高频晶振产生一种高频率的脉冲,再利用其它的分频方法进行分频,从而产生各种不同频率的脉冲,是一种常用的方法。

本文设计的分频器是采用 Verilog HDL 硬件描述语言,采用参数化的设计思想,在 FPGA 上实现的一种软件化的分频器,且该分频器仅占用 FPGA 的几个逻辑单元。

1 通用分频器的设计

分频器分为偶数分频、奇数分频、半整数分频和小数分频等,本文采用参数化的设计思想设计偶数分频器。所谓参数化就是把程序中的某些参数设计成可以改变的量,使用户可以根据需要设定参数的值,以满足不同的需求。

1.1 分频原理

在设计偶数分频器时,采用通过一个由待分频时钟上升沿所触发的计数器循环计数来实现 N 倍(N 为偶数)分频的实现方法,这种方法可以实现占空比为 50% 的任意偶数分频。

1.2 设计方法

在 FPGA 上,可以采用两种不同的 Verilog HDL 程序语句来设计计数器。用这两种程序语句设计的计数器功能相同,但其实现方式不同,程序结构也不一样。所以这两种程序语句编译综合后,它们占用的逻辑单元 LE 数差别很大。

本文对这两种程序语句进行了分析,比较了它们所占用的逻辑单元数的差别,并对产生这种差别的原因进行了分析。

(1)方法 1

```
module FPQ_1(CLK, OUT);
input CLK;
output OUT;
parameter bitsize = 4; // 计数器二进制位数
parameter L = 9; // 1/2 倍的计数基数减 1
reg [bitsize:0] count = 0;
reg OUT = 0;
reg counter;
always @(posedge CLK)
begin
count = (count < L) (count + 1):0; // 计数
counter = (count == L) 1:0;
```

```

end
always @(posedge counter)
OUT = ~OUT;
Endmodule

```

在方法 1 中,计数部分采用了?:运算符,这种运算符简单明了,易于阅读。但在程序中需使用两个 always 型语句,才能实现分频后的输出。

```

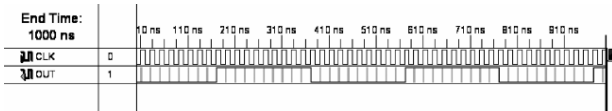
(2)方法 2
module FPQ_2(CLK,OUT);
input CLK;
output OUT;
parameter bitsize = 4; // 计数器二进制位数
parameter L = 9; //1/2 倍的计数基数减 1
reg [bitsize:0] counter = 0;
reg OUT = 0;
always @(posedge CLK)
begin
if (counter < L)
counter = counter + 1;
else
begin
OUT = ~OUT;
counter = 0;
end
end
endmodule

```

方法 2 用 if-else 语句完成计数功能来实现分频。if-else 条件语句一般比较长,不如?:运算符简洁。但这段程序只使用了一个 always 语句,比上段程序少了一个。

1.3 综合后的电路及仿真结果

在 ISE 8.2i 环境下,经仿真后,得到 20 倍分频仿真结果,如图一所示。由图一中可以看出,这两种方法均具有良好的分频效果。



图一 20 倍分频仿真图

1.4 结果分析

对上述两种程序在 ISE 8.2i 环境下编译综合后,得到表一的结果。

表一 综合后逻辑单元(LE)数的比较

分频倍数	计数器位数	1/2 倍基数	LE (方法 1)	LE (方法 2)
20	4	9	14	8
80	5	39	16	9
200	6	99	21	11

从表一中可以看出,在实现相同倍数的分频器时,不同的程序语句占用的 FPGA 的逻辑单元 LE 数不同,方法 1 约是方法 2 的两倍。

2 结束语

本文介绍了基于 FPGA 的通用分频器的设计方法,并用 Verilog HDL 语言实现。其程序是在 ISE 8.2i 环境下,利用 Xilinx 公司的 XC2V40-6CS144 可编程逻辑器件仿真。

参考文献

- [1]徐欣,于红旗,易凡等.基于 FPGA 的嵌入式系统设计[M].北京:机械工业出版社,2005.
- [2]张建平,杜学东.一种基于 FPGA 的分频方法研究[J].福建电脑,2006.
- [3]何静,李清峰.基于 FPGA/CPLD 的占空比为 1:n 的 n 分频器的设计[J].现代电子技术,2006.
- [4]杨旭辉.基于 FPGA/CPLD 的多种分频器的研究[J].中国电力教育,2006
- [5]吴玉昌,胡荣强,王文娟.基于 CPLD/FPGA 的多功能分频器的设计与实现[J].设计应用,2007.
- [6]杜刚,孙超,陈安军.基于 FPGA 技术的 16 位数字分频器的设计[J].仪器仪表学报,2006.

作者简介

罗浩,男,江西理工大学信息工程学院在读研究生,江西理工大学应用科学学院助教,主要研究方向:通信与信息系