



WP396 (v1.1) 2016 年 6 月 1 日

Spartan-6 FPGA：针对低成本应用 精心优化的性能、功耗和 I/O

作者：Maureen Smerdon

当今的设计环境日新月异，需要一种能以最低成本提供高性能和低功耗的可编程解决方案，以满足低成本系统需求。

这本白皮书旨在介绍 Spartan[®]-6 FPGA 如何满足低成本系统的需求。高性能、低功耗、低成本的 Spartan-6 FPGA 能解决各种问题，其中包括：以低成本高效连接商用存储器；实现高性能芯片间接口功能；实现创新性省电模式。

简介

市场瞬息万变，低成本产品设计人员不得不在更少的预算和更短的时间内提供创新型系统。为此，设计人员需要灵活、简便易用的片上系统等之类的解决方案。

为满足这些需求，赛灵思将成功的 Virtex[®]-5 FPGA 架构的设计创新融入到 Spartan-6 FPGA 中。Spartan-6 系列可为低成本系统设计人员提供其他产品无法企及的诸多优势。这些优势包括：

- 45nm 工艺节点
 - 采用 45nm 工艺节点的 FPGA 系列可提供业界一流的低成本、低功耗和高性能。
- 高速 I/O
 - 业界一流性能的芯片间接口，采用 1,080Mb/s LVDS 和 3.2Gb/s 串行收发器。
- 省电模式
 - 支持快速唤醒功能的挂起模式可保持配置和状态，从而可将静态功耗降低 20-30%。
- 嵌入式存储器控制器
 - 提供主流存储器接口速度，例如 DDR3 速度高达 800 Mb/s。
- 综合而全面的设计套件产品
 - 完整开发平台支持以太网和嵌入式开发。
 - MicroBlaze™ 处理器设计套件。
 - 深入的分步辅导资料有助于完成设计。

Spartan-6 FPGA 能满足低成本应用产品的需求，例如多功能打印机、工业和家庭网络、结构紧凑的可编程逻辑控制器、汽车信息娱乐系统、电机控制、便携式医疗设备和工业仪器、单反相机和便携式摄像机、软件定义无线电以及视频监控设备。

解决关键挑战

关键的技术突破已使 Spartan-6 系列能够在低成本 FPGA 中实现性能和功耗的最佳平衡。Spartan-6 FPGA 为设计人员带来了收发器、DSP、高速 I/O、时钟管理、安全性、存储器容量和控制等方面的大量功能。有了 Spartan-6 FPGA，设计人员无需在功能少的低成本 FPGA 与功能丰富的高成本 FPGA 之间犹豫不决。

例如，Spartan-6 FPGA 这一理想的可编程平台可优化执行计算密集型面部识别、智能眼图跟踪以及越来越多的高清成像技术，使数字标牌应用能够提供直观、自适应、沉浸式体验。

紧密集成的可编程逻辑和 I/O 优化支持特性丰富的实现方案和硬件加速的视频处理功能，打造出高性能与低 BOM 成本、低功耗的终极组合。

数字标牌应用采用 Spartan-6 FPGA 能带来诸多优势，其中包括：

- 更高性能结合硬件加速，可支持计算密集型功能，如元数据采集 / 标记、自动检测面部识别、目光接触以及目标跟踪。
- 支持全高清成像和视频处理的全可编程平台可实现自定义图像质量差异化。
- 通过集成 SD/HD/3G-SDI、DisplayPort 以及 HDMI 最新接口技术实现 I/O 优化。
- 集成 IP 视频传输桥接标准，如 Ethernet AVB。

Spartan-6 FPGA 的可重编程功能可实现高级图像增强算法的快速部署，并针对宽泛的最终产品价位实现功能差异化。紧密集成的可编程逻辑和 I/O 优化支持特性丰富的实现方案和硬件加速的视频处理功能，打造出高性能与低 BOM 成本、低功耗的终极组合。请见图 1 给出的 Spartan-6 FPGA 在数字标牌应用中的使用实例。

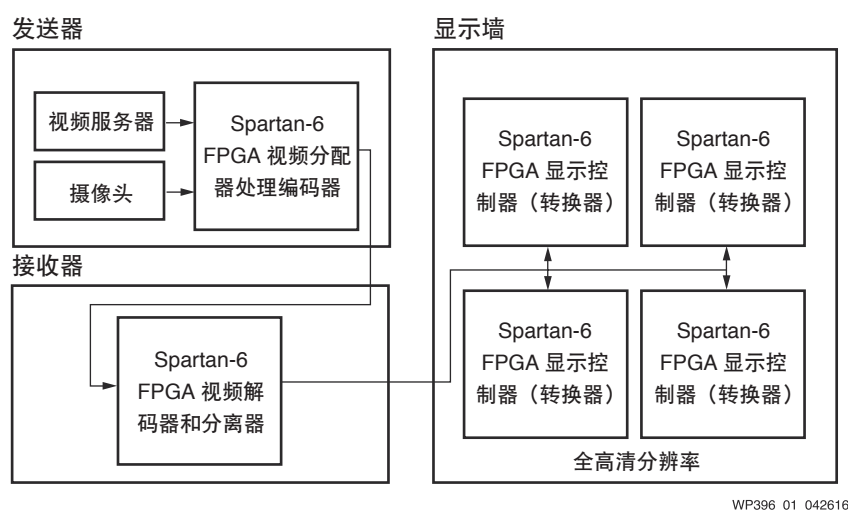


图 1：采用 Spartan-6 FPGA 的全高清智能数字标牌应用

集成高速串行收发器可降低成本

当今的系统需要高带宽，用以实现整个背板上芯片间的接口连接以及通过光纤进行远距离传输。即使采用最新标准，并行 I/O 也已经达到了速度极限，单端引脚为 1GHz 左右，LVDS 差分引脚对不足 1.5GHz。

宽并行连接会占用大量 I/O，接收器则消耗大量功率。这些连接在数据通道之间以及在时钟与数据通道之间产生歪斜。最终会引起串扰及其他信号完整性问题。Spartan-6 LXT FPGA 中的集成高速串行收发器能解决所有这些问题。

Spartan-6 LXT FPGA 利用高速串行连接（多达 8 个 GTP 收发器（线路速率为 3.2 Gb/s））来补充低成本逻辑功能。

利用 Virtex FPGA 系列中的大量 SerDes 功能，Spartan-6 LXT 器件能以 3.2Gb/s 甚至更低的速率支持多种协议。详见表 1 查看主要收发器协议支持对比情况。

表 1：收发器协议支持

速度	Spartan-6 FPGA 高速串行标准
3.125 Gb/s	XAUI、SRIO
3.072 Gb/s	OBSAI、CPRI
3.0 Gb/s	SAS II、SATA II、V-by-One
2.97 Gb/s	3G-SDI
2.7 Gb/s	DisplayPort
2.5 Gb/s	PCIe G1.1、Infiniband
2.488 Gb/s	OC-48
2.125 Gb/s	2G 光纤通道
1.485 Gb/s	HD-SDI
1.25 Gb/s	1 GbE

Spartan-6 LXT FPGA 的另一个独有优势是它的逻辑接口几乎与 Virtex-5 FPGA GTP 收发器的接口相同，便于将设计移植到较低成本的 Spartan-6 FPGA 上。如表 1 所列，Spartan-6 LXT FPGA 支持多种标准，从而可支持更高性能的设计。

高性能 I/O 标准可简化系统设计

Spartan-6 FPGA 在其同类产品中具有领先的 I/O 性能和功能，同时得到了最广泛的支持。为满足低成本系统中的众多 I/O 要求，Spartan-6 FPGA 提供同类产品中的最快速度，LVDS 高达 1,080 Mb/s。与 Altera 的 Cyclone IV GX（速度为 840 Mb/s）相比，具有明显优势。Spartan-6 FPGA I/O 支持众多新型应用，包括但不限于高清视频、显示器以及其他高带宽接口。除了 LVDS I/O 以外，Spartan-6 FPGA 还具有专用的时钟布线（用来减少占空比失真）以及串行化 / 解串行 I/O，可实现 1:8 的串 - 并数据转换，更易于设计高速差分接口。详细了解 I/O 标准支持方面的对比情况，请见表 2。

表 2 : I/O 标准支持对比

I/O 标准	Spartan-6 FPGA	Cyclone IV GX ⁽¹⁾
LVC MOS (3.3V, 2.5V, 1.8V, 1.5V, 和 1.2V)	✓	✓
LVDS 和 Bus LVDS	✓ ⁽²⁾	✓
LVPECL (2.5V、3.3V)	✓	✓ ⁽³⁾
PCI	✓	✓
I2C	✓	
HSTL (1.8V、1.5V、Classes I/II/III)	✓	
HSTL_I_12 (仅单向)		✓
PPDS	✓	✓
TMDS	✓	
RSDS	✓	✓
Display Port Aux Channel	✓	
SSTL (3.3V、2.5V、1.8V、1.5V Classes I/II)	✓	✓
DIFF_SSTL	✓	
DIFF_HSTL	✓	
LVTTTL	✓	✓

备注：

1. 资料来源：Cyclone IV 手册，2010 年 12 月。
2. Sub LVDS 随需提供。如需了解更多信息，敬请联系您所在地的赛灵思销售代表。
3. 仅在专用时钟输入上支持 LVPECL。

Spartan-6 FPGA 还支持真正的 3.3V 标准和满量程 4.4V 过冲，并提供满量程 3.3V LVC MOS 和 LVTTTL 24mA 输出驱动。支持真正的 3.3V 标准有助于简化电路板设计，因为可以使用具有标准容差的组件；另外还能让设计团队将标准运用到高速环境，只需进行最少的仿真，并减少了对过冲的担忧。如果设计人员使用其他竞争性 FPGA，就要克服有限的输出驱动能力并且减小过冲，为此他们需要针对高扇出信号添加缓冲器，或者为背板和比较紧的电路板走线添加线路驱动器，这样会增加总体系统复杂性、成本和设计时间。

Spartan-6 LX 器件只需要两个电源轨，进一步简化和降低系统设计成本。降低电源复杂性（稳压器数量更少、更便宜，并减少旁路）不仅使电路板更便宜、更可靠，而且更易于设计。如果是 Spartan-6 FPGA，设计人员就不需要针对所有电源引脚使用电源轨隔离、钽电容器和铁氧体磁珠。Spartan-6 FPGA 具有真正的 3.3V I/O 功能、更高的驱动能力和更少的电源轨，因而系统和电路板设计就更加简单，而且成本更低。

如需了解有关 Spartan-6 FPGA SelectIO™ 技术的更多信息，敬请参阅 [UG381](#)，《Spartan-6 FPGA SelectIO 资源用户指南》。

最佳逻辑性能与架构效率

为了满足大容量行业对低成本应用的需求，对于用在这类应用中的 FPGA 来说，最重要的是以成本最低的逻辑架构提供高性能。优化的 Spartan-6 FPGA 逻辑架构通过使用双寄存器 6 输入查找表 (LUT) 结构来满足这些需求。其他 FPGA 系列所使用的传统 4 输入 LUT 对于简单功能足够，但 6 输入 LUT（具有附加的触发器）所增加的逻辑单元容量能够最大限度地降低所需的逻辑电平，从而减少延迟并将系统吞吐量提升达 25% 之多。了解 LUT 架构的详细对比，请参见图 2。

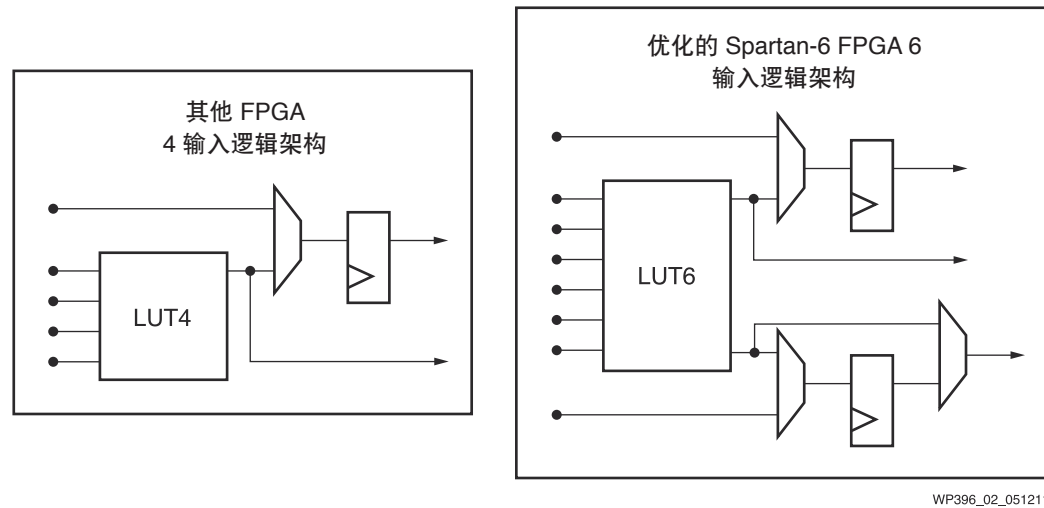


图 2：6 输入 LUT 与 4 输入 LUT 对比

关于逻辑性能的设计对比情况也显示出 Spartan-6 FPGA 具有明显优势。表 3 中给出了同时使用赛灵思和 Altera 的工具运行一组基准设计所得到的结果。全部三个速度等级下，Spartan-6 FPGA 比同等的 Cyclone IV 器件速度都要快。

表 3：FPGA 性能基准测试

速度等级基准 ⁽¹⁾	Spartan-6 FPGA 优势
-2 速度等级下，Spartan-6 FPGA 对比 Cyclone IV -8	快 20% 以上
-3 速度等级下，Spartan-6 FPGA 对比 Cyclone IV -7	快 19%
-3 速度等级下，Spartan-6 FPGA 对比 Cyclone IV -6	快 12%

备注：

1. 在 392 个设计中，使用赛灵思 ISE[®] 13.1 软件和 Quartus 10 Altera 工具。

集成存储器控制器实现 2 倍性能提升

Spartan-6 FPGA 采用硬化存储器控制模块 (MCB)，可实现最低功耗和最高性能。除了最小型的 Spartan-6 器件外，几乎所有 Spartan-6 器件均包含专用 MCB，每个 MCB 都支持 DRAM 标准 (LPDDR、DDR、DDR2 和 DDR3)。集成 MCB 具有可预测的时序，使设计人员能够快速、方便地设计和实现 DDR3-800 存储器接口。带有 MCB 的 Spartan-6 FPGA 支持高达 800 Mb/s 的访问速率，相比之下 Cyclone IV GX 只有 400 Mb/s 的 DDR2 软控制器性能。详见图 3 中的存储器接口性能对比。

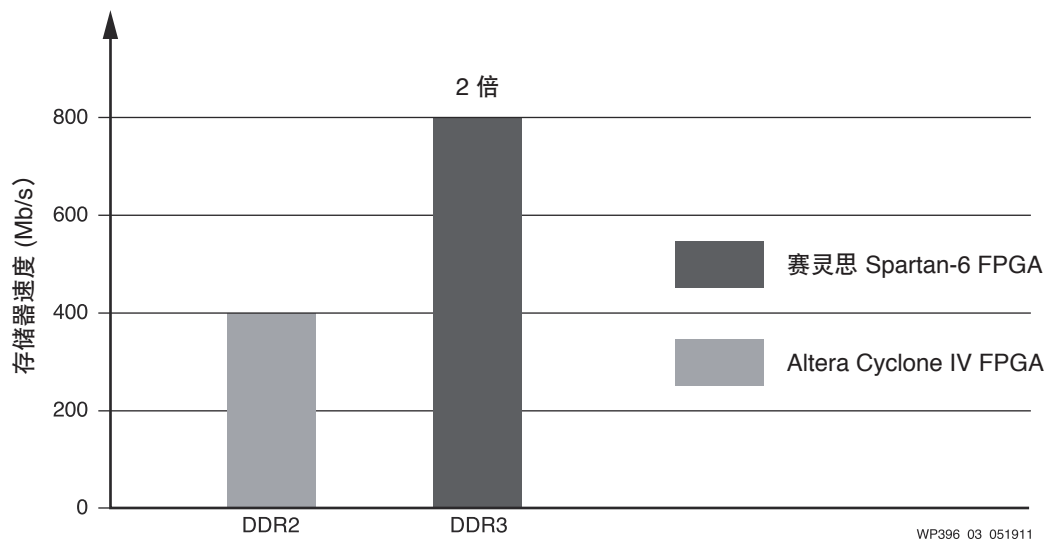
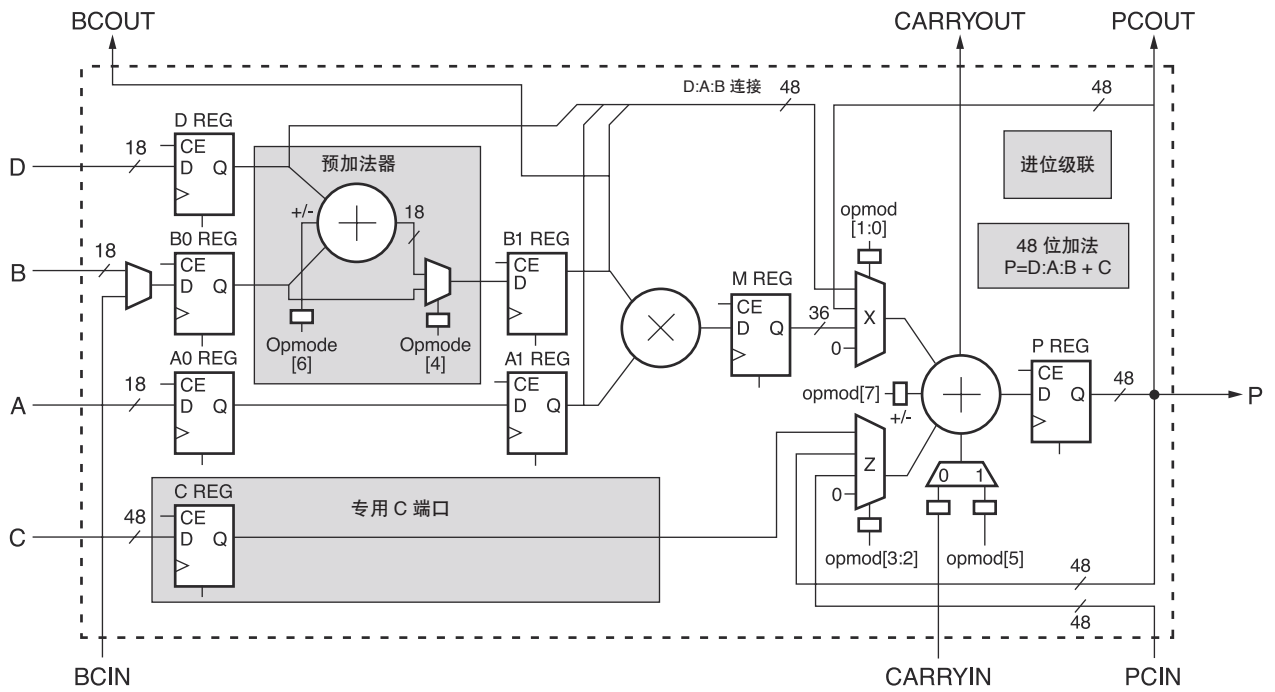


图 3 : DDR3 存储器接口速度对比

集成数字信号处理

为最大化性能，同时尽可能减少功耗和芯片使用，Spartan-6 器件采用了较高的 DSP48A1 Slice 与通用逻辑比，以便在数学运算量较大的情况下使用。这些 DSP48A1 Slice 支持众多独立功能，包括乘法器、乘法累加器 (MACC)、预加法器 / 减法器 + 乘法累加器、乘法器 + 加法器、宽总线多路复用器以及宽计数器。可将多个 DSP48A1 Slice 连在一起，以实现宽数学函数、DSP 运算、滤波器以及复杂运算，而且不会浪费任何通用 FPGA 逻辑。图 4 显示的是一个高效的 DSP48A1 Slice。



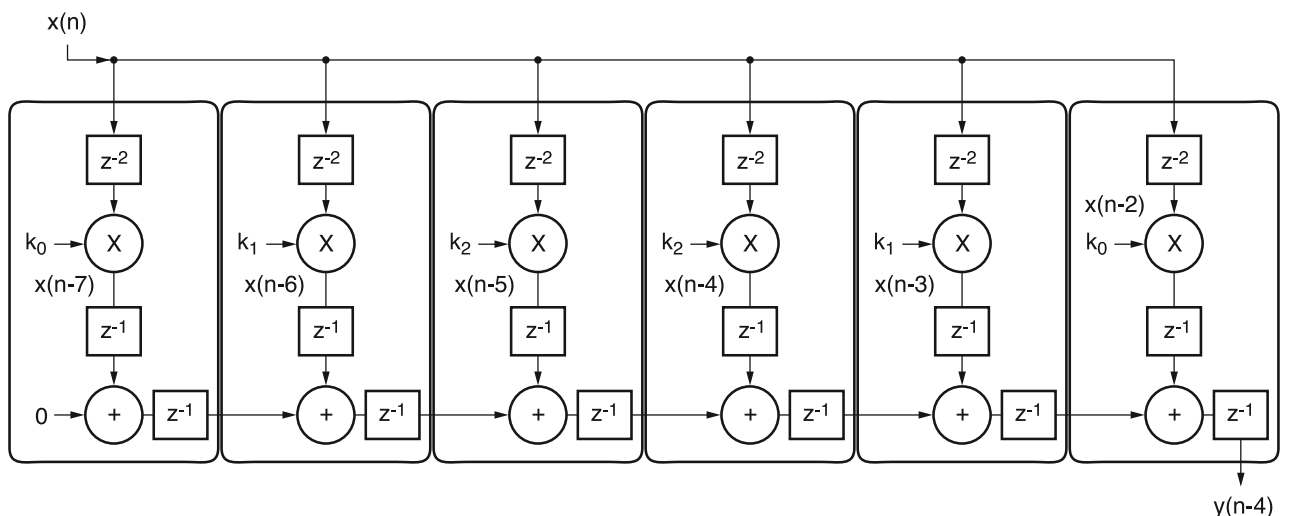
WP396_04_051611

图 4 : Spartan-6 FPGA DSP48A1 Slice

Spartan-6 器件中的增强型 DSP48A1 结构包含高效的预加法器。预加法器可提供众多优势，其中包括：

- 与不含预加法器的架构相比，功耗可降低 50%。
- 可采用最少量的逻辑来实现，而其他竞争器件必须在逻辑中执行预加法器功能。
- 封装尺寸更小。
- 支持赛灵思综合工具（XST），易于实现。

图 5 给出了在另一款领先 FPGA 中实现的对称 FIR 滤波器。



WP396_05_051211

图 5 : 另一款领先的 FPGA 中实现的对称 FIR 滤波器

在 Spartan-6 器件实现相同功能，所需的逻辑要少得多，使用的 DSP 减少一半，而且功耗降低达 50% 之多（见图 6）。最终，这可降低器件要求和成本。

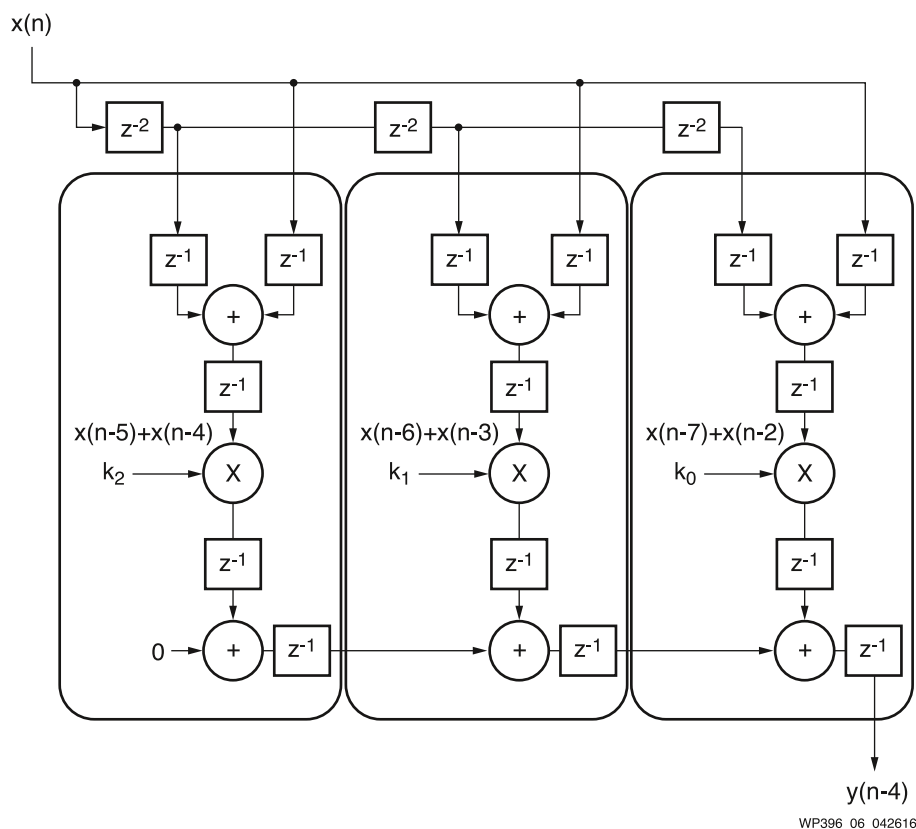


图 6：在 Spartan-6 器件实现的对称 FIR 滤波器

集成 PCI Express 端点模块

为了优化设计和降低开发成本，Spartan-6 FPGA 采用了集成 PCI Express® (Gen1) 端点模块，能与集成 Spartan-6 LXT FPGA 串行 I/O 收发器实现无缝接口连接。此外，该集成模块高度可配置，可满足各种设计需求，并通过了在 PCI-SIG® 执行的兼容性测试。Spartan-6 FPGA 硬模块实现方案不仅节省约 6,000 个逻辑单元，使设计能够集成到更小的 Spartan-6 LXT FPGA 中，而且还能避免使用外部 PHY 芯片，进一步降低成本、设计复杂性，并加速产品上市进程。

高性能时钟管理

Spartan-6 FPGA 中的数字时钟管理器 (DCM) 和锁相环 (PLL) 提供比竞争产品更高的灵活性。DCM 增加了比 Cyclone IV 中的 PLL 更出色的相移功能。Spartan-6 FPGA 提供多达 6 个时钟管理模块 (CMT)，每个模块包含两个 DCM 和一个 PLL，提供了丰富的时钟结构，以便内部和外部时钟分布，同时还最大限度地增加了系统时钟域支持。

运用 45nm 工艺技术实现低功耗

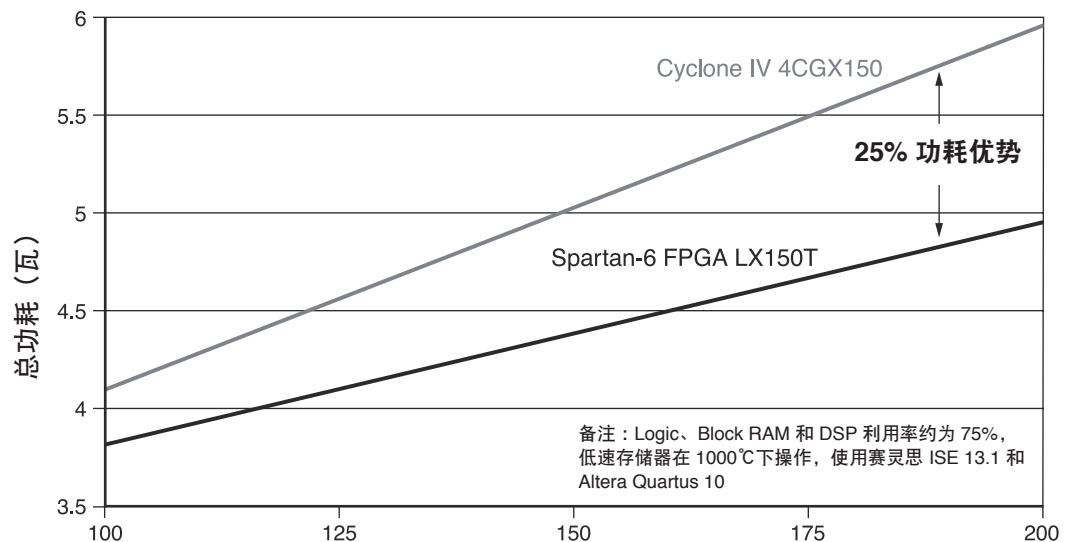
凭借工艺、架构和软件创新，赛灵思 45nm Spartan-6 FPGA 取得了重大进步，相比前代 FPGA 显著降低了静态、动态和 I/O 功耗。与之抗衡的竞争性产品采用 60nm 工艺，是从原有 65nm 器件改造而成的产品。将 Spartan-6 FPGA 与 Spartan-3A FPGA 相比较，Spartan-6 器件的平均静态功耗降低 50%，动态功耗降低 40%。Spartan-6 FPGA 的工艺改进包括：提供用以平衡功耗与性能的晶体管选项；以及电容减少（几何尺寸缩减和低 K 值电介质）。

为进一步降低功耗，Spartan-6 FPGA 还进行了架构优化，比如，高效的 6 输入 LUT、最佳特性组合、时钟门控、各种硬模块（例如 DSP）、集成 PCI Express 端点模块、集成存储器控制器、AES、可编程 I/O 压摆率和驱动强度、系统级电源管理、电压调节等。

创新性电源管理

与 Spartan-3 FPGA 类似，Spartan-6 FPGA 也提供系统级电源管理功能，例如挂起、休眠和时钟门控。Spartan-6 FPGA 中新增了多引脚唤醒（Multi-Pin Wake-Up）技术，让设计人员不仅能够实现更精细的控制，同时还能灵活地使用多达 8 个引脚来唤醒或退出挂起模式（挂起模式可保持配置和状态）。挂起模式下可快速唤醒系统，以响应外部系统需求。这些功能平均可将静态功耗降低多达 30%。这对功耗高度敏感的应用而言，至关重要，例如由电池供电的设备和消费类产品，它们可充分利用动态控制的关断和唤醒功能。

图 7 给出了等效 Spartan-6 FPGA 与 Cyclone IV GX 器件的对比情况。图中是逻辑、DSP 和 block RAM 利用率极高的器件。本例中，频率越高，总功耗优势越大，最高降低达 25%。



WP396_07_042616

图 7：总功耗对比

通过时钟门控和电压调节进一步降低功耗

为进一步节省功耗，设计人员可利用 Spartan-6 FPGA 的精细时钟门控功能来消除不必要的时钟活动，同时保持功能和性能不变。借助时钟门控，在逻辑未被使用时将局部 Slice 时钟驱动器或 block RAM 动态关闭或进行门控，进一步将动态功耗降低达 30% 之多。

由电池供电的系统需要将功耗降低最低，针对这类系统的设计人员，所有 Spartan-6 LX FPGA 都提供电压调节 -1L 选项，该选项可将核心电压从 1.2V 降到 1.0V，从而进一步将核心功耗降低 30–40%。

如需了解有关 Spartan-6 FPGA 电源管理方面的更多详情，敬请参阅 [WP298](#)，《40nm 和 45 nm 工艺下的功耗》。

利用目标设计平台实现快速设计差异化

借助丰富的设计套件，设计人员无需从头开发所有应用，而是在开发周期伊始就专注于创新和产品差异化，从而获得有力助推。

这些集硬件、软件、IP 和目标参考设计于一身的综合平台能大幅提高生产力，远远超出传统评估板和设计实例的总效力。赛灵思及其合作伙伴提供一整套设计套件。见表 4。

表 4：可用的目标设计平台

逻辑评估套件
Atlys Spartan-6 FPGA 开发套件
Spartan-6 FPGA SP605 评估套件
Spartan-6 FPGA SP601 评估套件
Avnet Spartan-6 LX9 MicroBoard
连接功能套件
Spartan-6 FPGA 连接功能套件
嵌入式套件
Spartan-6 FPGA 嵌入式套件
特定市场套件
Spartan-6 FPGA 广播连接套件
Spartan-6 FPGA 消费类视频套件
Spartan-6 FPGA 工业以太网套件
Spartan-6 FPGA 工业视频处理套件
收发器特性描述套件
Spartan-6 FPGA SP623 特性描述套件

没有任何同类竞争性 FPGA 系列能提供如此完整的解决方案组合，Altera Cyclone IV 目前也只能提供少数几款开发套件。如需获得可用套件的完整列表，敬请访问：

<http://china.xilinx.com/products/boards-and-kits/device-family/nav-spartan-6.html>。

低成本配置存储器

可编程器件一般需要存储系统来存储器件配置，如同处理器需要存储系统来存储他们的程序指令一样。这意味着系统设计人员必须考虑到配置存储器等组件。

尽管一些目前可用的可编程解决方案已在器件内集成了非易失性存储器（NVM），但它们通常是仿照旧的处理技术设计的。因此它们通常不能提供当今众多设备制造商要求的信号处理能力、高时钟速率以及千兆位收发器速率。此外，许多应用（如协议栈）的存储要求通常超出这些集成 NVM 的能力范围。

其它可编程解决方案仅支持它们自己的配置器件，这迫使系统设计人员不得不使用专有的（通常也是极为昂贵的）配置存储器。

Spartan-6 FPGA 支持市场上最常见的闪存接口，这样确保能选用最常用的低成本配置器件。此外，通过外部处理器还支持众多选项用于远程配置。利用一个位于中央的 NVM，让其供整个完整系统共享。

稳健可靠的安全性

为扩展在低成本安全性方面的领先地位，Spartan-6 FPGA 提供业经验证的 Device DNA 防止克隆和过度构建。Spartan-6 FPGA 还包含硬化的回读禁用电路、内部配置清空（IPROG）；对于更高密度，还支持此前仅在 Virtex 器件中才有的 256 位 AES 高级支持。如需了解有关赛灵思高级 FPGA 安全性方面的更多信息，敬请参阅：[WP365](#)，《解决当今设计安全性问题》。

与备选方案对比

Spartan-6 FPGA 集成模块提供更高的效率、出色的易用性、更低的总功耗、更低成本以及无以匹敌的连接和存储器功能。45nm Spartan-6 FPGA 系列出色的 I/O 架构和稳健的时钟延续了其在低成本 FPGA 市场的领先地位。[表 5](#) 列出了 Spartan-6 FPGA 与 Altera Cyclone IV GX FPGA 之间的详细对比。

表 5 : Spartan-6 FPGA 与 Cyclone IV GX 之间的功能对比

赛灵思	Altera
Spartan-6 FPGA	Cyclone IV
低成本、低功耗 45nm 工艺	60nm 工艺
高效的 6 输入 LUT 架构	4 输入 LUT
3.2 Gb/s 收发器，带专用 PLL	3.125 Gb/s
1 Gb/s+ LVDS 功能	840 Mb/s
集成 DDR3-800 存储器控制器	DDR2-400
高级电源管理	无
集成 DSP Block	仅乘法器
稳健可靠的时钟管理	无
稳健可靠的安全性	无
综合设计套件	无

Spartan-6 系列是赛灵思低端器件组合的基础成员，如图 8 所示。Spartan-6 FPGAs 为低成本应用提供 I/O 丰富的解决方案。如需查看整个低端器件组合，敬请访问：

<http://china.xilinx.com/products/silicon-devices/low-end-portfolio.html>。

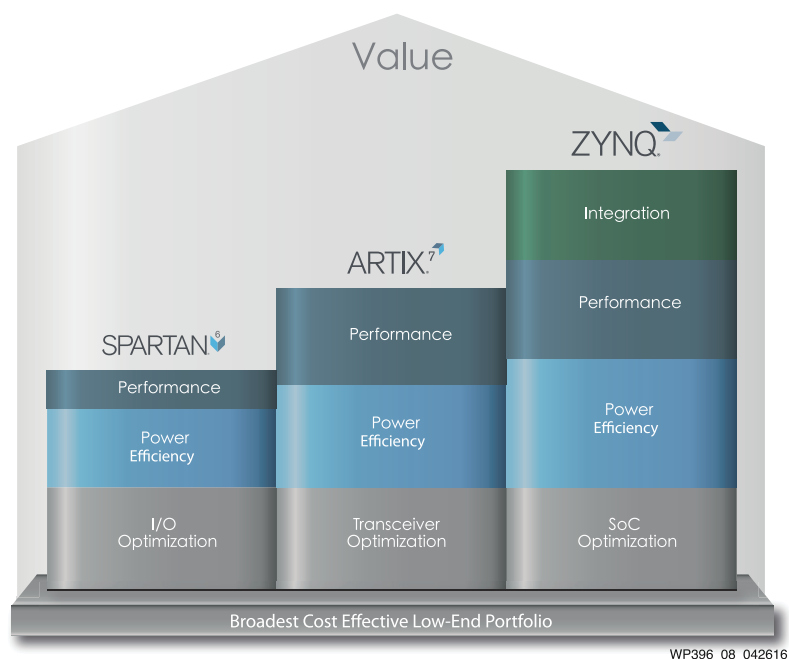


图 8 : 赛灵思的低端产品组合的价值

结论

赛灵思了解设计人员正在设法解决的问题，并提供低成本低功耗 Spartan-6 系列，以填补其它低成本 FPGA 系列的性能空白。在赛灵思 [ISE](#)® 和 [免费 ISE WebPACK](#)™ 工具套件的支持下，Spartan-6 FPGA 可提供更高能效，更高生产力和更高性能。

如需了解有关特定 Spartan-6 FPGA 的功能汇总（按器件分类），敬请参阅：[DS160](#)《Spartan-6 系列简介》。
如需了解有关 Spartan-6 系列应用的更多详情，敬请访问：

<http://china.xilinx.com/products/silicon-devices/fpga/spartan-6/>。

修订历史

下表列出了本文档的修订历史：

日期	版本	修订说明
2016 年 6 月 1 日	1.1	白皮书的一般性更新包括标题，以反映当前的市场和趋势。更新了图 6。
2011 年 5 月 19 日	1.0	赛灵思初始版本。

免责声明

本文向贵司 / 您所提供的信息（下称“资料”）仅在对赛灵思产品进行选择和使用参考。在适用法律允许的最大范围内：(1) 资料均按“现状”提供，且不保证不存在任何瑕疵，赛灵思在此声明对资料及其状况不作任何保证或担保，无论是明示、暗示还是法定的保证，包括但不限于对适销性、非侵权性或任何特定用途的适用性的保证；且 (2) 赛灵思对任何因资料发生的或与资料有关的（含对资料的使用）任何损失或赔偿（包括任何直接、间接、特殊、附带或连带损失或赔偿，如数据、利润、商誉的损失或任何因第三方行为造成的任何类型的损失或赔偿），均不承担责任，不论该等损失或者赔偿是何种类或性质，也不论是基于合同、侵权、过失或是其他责任认定原理，即便该损失或赔偿可以合理预见或赛灵思事前被告知有发生该损失或赔偿的可能。赛灵思无义务纠正资料中包含的任何错误，也无义务对资料或产品说明书发生的更新进行通知。未经赛灵思公司的事先书面许可，贵司 / 您不得复制、修改、分发或公开展示本资料。部分产品受赛灵思有限保证条款的约束，请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>；IP 核可能受赛灵思向贵司 / 您签发的许可证中所包含的保证与支持条款的约束。安全保护功能，不能用于任何需要专门故障安全保护性能用途。如果把赛灵思产品应用于此类特殊用途，贵司 / 您将自行承担风险和 responsibility。请参阅赛灵思销售条款：<http://china.xilinx.com/legal.htm#tos>。

汽车应用免责声明

赛灵思产品并非为故障安全保护目的而设计，也不具备此故障安全保护功能，不能用于任何需要专门故障安全保护性能用途，比如与下列有关的用途：(1) 安全气囊设置；(2) 车辆控制，除非在该赛灵思产品中具备故障安全保护或者额外功能（但不包括对安装在赛灵思设备中用于执行该等额外功能的软件的使用）且会对操作人员操作失误发出警告信号；或者 (3) 可能会导致死亡或者人身损害的用途。客户应当自行承担因赛灵思产品被用于该等用途而产生的全部风险和 responsibility。