

基于 Xilinx MicroBlaze 的嵌入式 GPS 接收机研究

王尔申^①, 张淑芳^②, 张芝贤^①

①沈阳航空航天大学电子信息工程学院, 辽宁 沈阳 110136;

②大连海事大学信息科学技术学院, 辽宁 大连 116026)

【摘要】软核处理器(MicroBlaze)和外设知识产权(IP)核以及用户定制的IP核一起,可以完成片上系统(SoC)设计,适合复杂嵌入式系统的开发,同时为系统将来的专业集成电路(ASIC)设计提供基础。围绕赛灵思(Xilinx)公司的MicroBlaze微处理器,对其体系结构、设计流程和赛灵思微处理器调试(XMD)方法进行了详细讨论。结合GPS接收机设计实例给出了嵌入式系统开发的仿真和集成开发环境(ISE)下调用软核的设计方法,并讨论了影响系统实时性的链接脚本文件设置中的关键问题。

【关键词】软核处理器; 卫星定位接收机; 嵌入式系统

【中图分类号】TP332

【文献标识码】A

【文章编号】1002-0802(2010)10-0028-03

Study on Embedded GPS Receiver Based on Xilinx MicroBlaze

WANG Er-shen^①, ZHANG Shu-fang^②, ZHANG Zhi-xian^①

①School of Electronic and Information Engineering, Shenyang Aerospace University, Shenyang liaoning 110136, China;

②Information Science and Technology College, Dalian Maritime University, Dalian liaoning 116026, China)

【Abstract】The SoC design can be implemented by integrating MicroBlaze, peripheral IP core and customized IP core, which, suitable for the sophisticated embedded system development, could provide a foundation for the future ASIC design. The architecture, design flow, and XMD-related debug methods of the MicroBlaze microprocessor from Xilinx company are discussed in detail. And, with a design example of GPS receiver, the simulation of embedded system development is given, and the key techniques of linker script document affecting real-time performance of GPS receiver system are elaborated.

【Key words】MicroBlaze; GPS receiver; embedded system

0 引言

随着超大规模集成电路(VLSI)和现场可编程门阵列(FPGA)技术的发展,GPS接收机也正朝着小型化、高度集成化的方向发展。应用FPGA进行数字系统设计,不但能减小系统的体积,而且还能提高系统运行的可靠性。FPGA可使数字系统在线重新配置,设计更加灵活,且易于更改和升级^[1-3]。更为重要的是,目前,Spartan3E系列现场可编程阵列中可以嵌入32位MicroBlaze软核处理器。因此,利用FPGA完成GPS接收机中对实时性要求比较高的处理,由MicroBlaze完成GPS接收机中相应的控制以及运算工作,使得整个GPS接收机的功能实

现在一个FPGA芯片内完成,这不仅提高了系统的抗干扰性能,而且为系统将来进行ASIC设计提供基础。

现针对Xilinx MicroBlaze软核处理器的GPS接收机系统的设计进行了深入的研究,给出了软硬件的设计、存储器空间的详细设置方法。

1 嵌入式GPS接收机系统的总体设计

嵌入式GPS接收机系统是基于Xilinx公司的Spartan™-3E Starter进行开发的。在嵌入式GPS接收机设计中,采用NJ1006A作为射频前端;利用FPGA的逻辑单元执行相关处理;利用FPGA中的软核处理器MicroBlaze执行基带信号处理、位同步、帧同步以及导航解算功能;FPGA的逻辑部分和嵌入式软核处理器之间通过处理器内部的片上外设总线(OPB)进行通信;从而,使得整个GPS接收机的中频信号处理可以在一个FPGA芯片内完成。系统设计的总体框图如图1所示。

收稿日期: 2010-03-10。

基金项目: 国家863计划资助项目(编号:2009AA12Z312)。

作者简介: 王尔申(1980-),男,博士,讲师,主要研究方向为GPS接收机信号处理算法;张淑芳(1955-),女,博士,教授,主要研究方向为全球定位系统的理论与应用;张芝贤(1959-),男,硕士,教授,主要研究方向为航空电子系统。

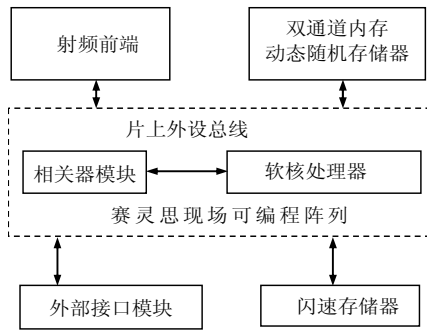


图1 嵌入式GPS接收机结构框

2 基于MicroBlaze的嵌入式GPS接收机设计

利用MicroBlaze 嵌入式处理器进行GPS 接收机系统设计主要包括两大部分：系统硬件的构建和系统软件的开发。

2.1 系统硬件框架的建立

在用Xilinx公司的FPGA进行嵌入式设计时，Xilinx公司提供嵌入式开发工具EDK。EDK提供了本地存储器总线(LMB)、OPB总线接口，外部存储器接口，同步动态随机存储器(SDRAM)控制器，闪存存储器(Flash)控制器，串口中断控制器，定时器以及其他一些外围设备接口资源。这些接口都是以IP core的形式进行应用。用户可以根据自己的实际需求通过IP core来建立一个完善的嵌入式处理器系统^[4]，GPS接收机系统完整的硬件框架^[5]如图2所示。

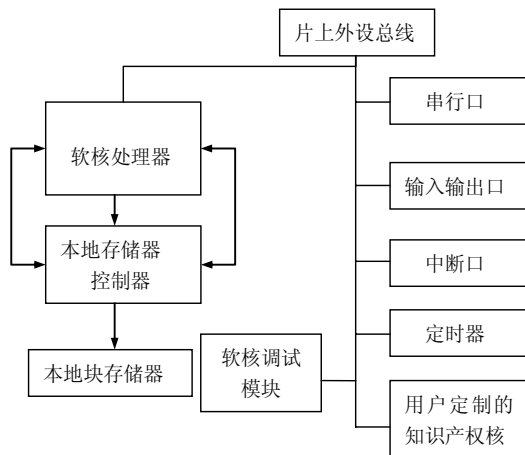


图 2 基于MicroBlaze的嵌入式GPS接收机硬件框架

2.2 系统软件的开发

在嵌入式工具套件(XPS)中，嵌入式处理器硬件系统的构建由微处理器硬件规范(MHS)文件和微处理器外围设备描述(MPD)文件定义；软件系统结构由微处理器软件规范(MSS)文件定义，其中，MHS 文件用于描述嵌入式处理器平台FPGA的硬件系统结构，主要定义当前平台FPGA设计的处理器类型、总线结构、外设接口、中断处理和地址空间。MSS 文件用于完整描述嵌入式处理器平台的FPGA的软件系统结构，主要定义当前平台FPGA设计的软件库、驱动程序和文件系统。其开发流程如图3所示。

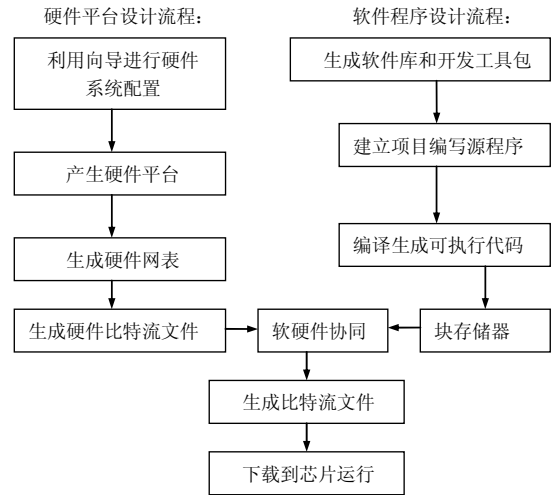


图 3 MicroBlaze 嵌入式 GPS 系统软硬件开发流程

3 嵌入式GPS接收机GPIO外设的程序设计

为了方便说明，下面以 GPS 接收机中对外的用户输入/输出(I/O)接口为例说明嵌入式开发的具体方法。在进行Microblaze 开发时可以把Microblaze 作为 Top Module，那么在开发过程中，不需要使用 ISE，只用嵌入式开发套件(EDK)。另外，也可以把Microblaze 作为 Sub Module，这时，在 ISE 工程中可以像调用诸如时钟管理模块(DCM)的 IP Core 一样，调用 Microblaze 软核处理器。在本程序设计中利用 XMD 调试时将 Microblaze 作为 Top Module 来设计，利用 ISE 和 modelsim 进行仿真时 Microblaze 作为 Sub Module 来处理。本程序是在 Xilinx 公司 Spartan-3E STARTER KIT 开发板上进行设计和实现的。在进行本系统设计时，需要在 MicroBlaze 的 OPB 总线添加 MDM (硬件调试模块)和通用输入/输出驱动(General Purpose IO)。

在建立好硬件系统之后，对system.ucf文件进行引脚约束。在系统硬件建立完成后，MicroBlaze产生的库文件和头文件，用户可以直接进行调用，这些应用程序接口(API)函数都提供了调用接口，用户只需给函数传递相应的实参即可对挂在总线上的设备进行操作。

为了验证上面设计的程序正确与否，可以利用 ISE 调用 Modelsim 对其进行仿真。正如上面所述，此时需要将 MicroBlaze 处理器当作一个 IP core 添加到 ISE 工程中，并在 ISE 的顶层文件中编写测试文件，为处理器的输入信号提供激励，输出信号提供端口。测试文件编写完成后，直接可以点击 ISE 中的 Update Bitstream with Processor Data，随后可以进行 Modelsim 仿真。仿真中用到系统复位信号，时钟信号 sys_clk_pin 和 fpga_0_LEDs_8Bit_GPIO_d_out_pin 控制信号。时钟周期与系统的主时钟50 MHz是同步的，系统的复位电平为高电平复位。所以，在系统复位后，复位引脚保持低电平状态。

4 软件程序中各段空间配置的设计

在应用程序中良好正确的链接脚本文件是保证代码高效执行的重要环节。为了满足GPS接收机对实时性的要求，在设计中充分考虑各种存储器自身的优势，通过合理地设置链接脚本文件等措施来提高关键应用程序的执行效率。本系统链接文件各个段配置如表1表述，实验表明，该配置可以较好地满足系统实际运行要求。

表1 程序各段配置空间

段名	配置位置	说明
.text	FLASH_C_MEMO_BASEADDR	存放可执行代码
.rodata	FLASH_C_MEMO_BASEADDR	存放只读数据
.data	DDR_SDRAM_C_MPMC_BASEADDR	存放读写数据
.sdata2	ilmb_cntlr_dlmb_cntlr	存放访问频率高的读写数据
.bss	ilmb_cntlr_dlmb_cntlr	存放堆栈段可读写数据
.vectors.reset	ilmb_cntlr_dlmb_cntlr	复位段地址空间
.vectors.interrupt	ilmb_cntlr_dlmb_cntlr	中断段地址空间
ICache	DDR_SDRAM_C_MPMC_BASEADDR	指令缓存空间
DCache	DDR_SDRAM_C_MPMC_BASEADDR	数据缓存空间

5 程序设计和调试时注意的问题

在 ISE 下，调用 modelsim 进行仿真之前需要对 ISE 库进行编译。

在 ISE 下，把 MicroBlaze 作为子模块来调用进行仿真时，需要对 EDK 库进行编译。

在 ISE 下使用 modelsim 进行仿真 microblaze 软核程序时，需要编写测试文件。

调试时，可以利用系统外挂的串口设备进行串口打印输

(上接第27页)

大多普勒频移信息。信噪比越大， f_D 的估计值越接近真实值，而且当 f_D 越大时，估计精度越高，这就证明了性能分析的正确性。

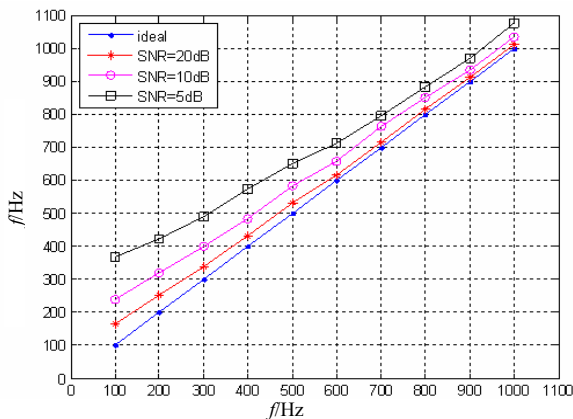


图2 最大多普勒频移估计性能曲线

4 结语

研究了一种基于 OFDM 系统中循环前缀的多普勒频移

出，方便用户对程序的调试和运行中间结果的观察。

6 结语

研究了嵌入式GPS接收机的整体设计。给出了基于软核处理器MicroBlaze的嵌入式开发过程，利用ISE和Modelsim对挂在MicroBlaze处理器上的GPS接收机的GPIO接口进行仿真。将Xilinx公司提供的IP core和用户定制的IP core挂到MicroBlaze软核上构建嵌入式GPS接收机系统，提高了系统的集成度，改善了系统的电磁兼容(EMC)性能，满足了嵌入式GPS接收机系统的开发。

参考文献

- [1] 宋依青,王允龙.基于FPGA实现PN码快速捕获方案的设计[J].通信技术,2009,42(10):75-78.
- [2] 黄飞江,卢晓春,吴海涛,等.基于SOPC实现扩频信号的捕获与跟踪[J].通信技术,2008,41(12):92-94.
- [3] DOVIS F, SPELAT M, MULASSANO P, et al. On the Tracking Performance of a Galileo/GPS Receiver Based on Hybrid FPGA/DSP Board[C]. USA: Proceedings of ION GNSS 18th International Technical Meeting of the Satellite Division, 2005:1611-1620.
- [4] ROBERT H. KLENKE. Experiences Using the Xilinx Microblaze Softcore Processor and UCLinux in Computer Engineering Capstone Senior Design Projects[C]. USA: 2007 IEEE International Conference on Microelectronic Systems Education (MSE'07), 2007:123-124.
- [5] GONZALEZI G, ARRIBAS F J. Ciphering Algorithms in MicroBlaze-Based Embedded Systems[J]. IEEE Proceedings Computers and Digital Techniques, 2006, 153(02):87-92.

估计算法,这种算法通过计算 OFDM 符号已有的循环前缀的自相关函数来获得最大多普勒频移。仿真结果表明该系统的性能较好。

参考文献

- [1] 司源,宋文涛. OFDM 移动通信系统中的最大多普勒频移估计[J]. 上海交通大学学报, 2004(10):43-45.
- [2] HOLTZMAN J M, SAMPATH A. Adaptive Averaging Methodology for Handoffs in Cellular Systems[J]. IEEE Trans. Vehicular Technology, 1995, 44(01):59-66.
- [3] Proakis J.G. Digital Communication[M]. 3rd. New York: McGrawHill, 1995.
- [4] SPETH M, FECHTEL S A, FOCK G, et al. Optimum Receiver Design for Wireless Broad-band Systems Using OFDM[J]. IEEE Trans. Communication, 1999, 47(01):1668-1677.
- [5] 王丽. 一种新的 MIMO-OFDM 自适应比特功率分配方案研究[J]. 通信技术, 2009, 42(05):28-29.
- [6] 陈前宝,刘洛琨,汪涛,等. 一种基于时域相关的OFDM 时域参数盲估计方法[J]. 通信技术, 2009, 42(05):65-66.